



Conception de protections contre les décharges électrostatiques sur technologie avancée silicium sur isolant

Thomas Benoist

► To cite this version:

Thomas Benoist. Conception de protections contre les décharges électrostatiques sur technologie avancée silicium sur isolant. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT093 . tel-01146222

HAL Id: tel-01146222

<https://theses.hal.science/tel-01146222>

Submitted on 28 Apr 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : Nano Electronique Nano Technologies

Arrêté ministériel : 7 août 2006

Présentée par

Thomas BENOIST

Thèse dirigée par **Pierre GENTIL** et **Sorin CRISTOLOVEANU**
codirigée par **Philippe GALY**, **Christel BUJ**, **Olivier FAYNOT**

préparée au sein des **Laboratoire IMEP-LAHC** et **CEA-LETI**
et de la société **STMicroelectronics**
dans **l'École Doctorale Electronique Electrotechnique**
Automatique et Traitement du signal (Grenoble INP)

Conception de protections contre les décharges électrostatiques sur technologies avancées silicium sur isolant

Thèse soutenue publiquement le **27 avril 2012**
devant le jury composé de :

Sylvie RETAILLEAU

Professeur à l'université Paris-Sud XI, Membre

Olivier BONNAUD

Professeur à l'université de Rennes, Rapporteur

Bruno ALLARD

Professeur à l'INSA de Lyon, Rapporteur

Pascal FOUILLAT

Professeur à l'INP-Bordeaux, Membre

Christel BUJ

Docteur, ingénieur recherche au CEA-LETI, Membre

Sorin CRISTOLOVEANU

Directeur de recherche CNRS, Membre

Philippe GALY

Docteur, chef d'équipe à STMicroelectronics, Membre

Pierre GENTIL

Professeur émérite à Grenoble INP, Membre



Quand tu partiras pour te rendre à Ithaque,
souhaite que la route soit longue,
pleine d'aventures, pleine de connaissances.
Les Lestrygons et les Cyclopes,
Poséïdon irrité, n'en aie pas peur,
Tu ne trouveras jamais rien de tel sur ta route,
si ta pensée reste haute, si délicate
est l'émotion qui touche ton esprit et ton corps.
Les Lestrygons et les Cyclopes,
le farouche Poséïdon, tu ne les rencontreras point,
si tu ne les transportes pas déjà dans ton âme,
si ton âme ne les dresse pas devant toi.
Souhaite que la route soit longue.
Que nombreux soient les matins d'été
Où, avec quelle reconnaissance, quelle joie,
tu entreras dans des ports vus pour la première fois !
Fais escale à des comptoirs phéniciens,
et acquiers de belles marchandises :
nacre et corail, ambre et ébène,
et voluptueux parfums de mille sortes,
aussi abondants que tu peux, les voluptueux parfums ;
visite de nombreuses cités égyptiennes,
et apprends, apprends encore de ceux qui se sont
instruits.
Garde toujours Ithaque présente à ton esprit.
Y parvenir est ton but final.
Mais ne hâte pas du tout ton voyage.
Mieux vaut qu'il dure de nombreuses années ;
et qu'aux jours de ta vieillesse enfin tu jettes l'ancre
dans ton île,
riche de tout ce que tu as gagné en chemin,
sans t'attendre à ce qu'Ithaque te donne des richesses.
Ithaque t'a donné le beau voyage.
Sans elle, tu ne te serais pas mis en route.
Elle n'a plus rien d'autre à te donner.
Même si tu la trouves pauvre, Ithaque ne t'a pas trompé.
Sage comme tu l'es devenu, avec tant d'expérience,
tu dois avoir déjà compris ce que signifient les Ithaque.

Constantin Cavafy (1863-1933)

Table des matières

Table des matières	5
Glossaire	9
Légende des masques d'implantation	11
Introduction générale.....	13
Chapitre I.....	17
Introduction	19
A. Généralités sur les décharges électrostatiques.....	19
1. Définition	19
2. Enjeu industriel	21
3. Les normes ESD.....	23
Le modèle HBM : contact entre le circuit et un corps humain	24
Le modèle MM : contact entre le circuit et une machine.....	25
Le modèle CDM : la décharge du circuit vers une masse extérieure	26
B. Présentation des technologies Silicium sur Isolant.....	27
1. Enjeux du SOI	27
2. La technologie silicium sur isolant partiellement désertée (PDSOI)	29
3. La technologie silicium sur isolant complètement désertée (FDSOI).....	31
C. Le réseau de protection.....	33
1. Présentation	33
2. Les dispositifs élémentaires sur silicium massif	35
Le MOSFET	35
Les Diodes	37
Le Thyristor.....	39
D. Méthodologie de conception d'un réseau	41
1. Le testeur TLP	42
2. Équivalence TLP /HBM.....	45
3. La Conception Assistée par Ordinateur	46

La simulation ACS :	49
Conclusion.....	50
 Chapitre II :	 51
Introduction	53
A. Le SOI, un substrat comme les autres ?.....	53
1. Adaptation du design.....	53
2. Comportement du MOSSWI.....	55
3. Contournement du problème de la capacité	58
B. Les limites du portage	63
1. Comparatif de la performance des dispositifs	63
2. Impact thermique du BOX	65
3. Réduction de la fenêtre de design	70
C. Exemple de solution d'adaptation du thyristor en PDSOI.....	74
1. Le thyristor (SCR).....	74
2. Le Principe du triac	75
Le mode DC	77
En mode TLP : passant et bloqué.....	78
Conclusion.....	80
 Chapitre III	 81
Introduction	83
A. Etude par simulation d'un thyristor en FDSOI	83
1. Choix du dessin et de la configuration	83
2. Les 5 phases du mode bloqué.....	87
1 ^{er} phase : entre le point origine et le point A	87
2 ^{ème} phase : entre le point A et le point B.....	88
3 ^{ème} phase : entre le point B et le point C.....	89
4 ^{ème} phase : entre le point C et le point D.....	90
5 ^{ème} phase : au-delà du point D	91
3. Les modes flottant et passant	92
4. Variation des paramètres en mode bloqué	94
Influence de la longueur de doigt (Wdo)	95

Influence de la largeur de base N+	96
Influence de la résistance d'accès des gâchettes	97
Influence de la largeur du P intrinsèque coté Cathode/Gâchette P	97
B. Mesures d'un thyristor sur FDSOI et perspectives de stratégies	99
1. Mesures en mode continu.....	100
Mesures du transistor bipolaire NPN	100
Mesures du transistor PNP	102
La diode PIN	103
2. Mesures en régime dynamique TLP.....	104
3. Perspectives stratégiques.....	108
Conclusion.....	111
 Conclusion Générale	 113
 Remerciements	 117
Bibliographie	119
Publications	127

Glossaire

ACS -*Average Current Slope*- Excitation par une pente en courant

BOX -*Buried Oxide*- Oxyde enterré

CMOS -*Complementary Metal Oxide Semiconductor*- Technologie à base de structures complémentaires Metal Oxyde Semi-conducteur

CDM -*Charge Device Model*- Standard de décharge électrique de la puce sur elle-même

CDE -*Cable Discharge Events*- Événement de décharge d'un câble

CBE -*Charged Board Events*- Événement dû à un support de puce chargé

DOE -*Design Of Experiment*- Ensemble de structures indépendantes dessinées pour le test

EOS -*Electrical Over Stress*- Contraintes de surcharges électriques

ESD -*Electro Static Discharge*- Décharges électrostatiques

FDSOI -*Fully Depleted Silicon On Insulator*- Silicium sur isolant complètement déserté

GO1/GO2 -*Gate oxide 1/2*- Oxyde de grille de type 1 ou 2

GGNMOS -*Gate Grounded NMOS*- NMOS avec grille à la masse

HBM -*Human Body Model*- Standard de décharge électrique concernant le contact de la puce avec un humain

IO -*Input/ Output*- Cellule d'Entrée/ Sortie autour du cœur du circuit

JEDEC -*Joint Electron Devices Engineering Council*-

MM -*Machine Model*- Standard de décharge électrique concernant le contact de la puce avec une machine

MOSSWI -*MOS SWITCH*- MOS utilisé en interrupteur

PAD Plot du signal

PDSOI -*Partially Depleted Silicon On Insulator*- Silicium sur isolant partiellement déserté

SCR -*Silicon Controlled Rectifier*- Thyristor

ST - Abrégé de STMicroelectronics

STI -*Shallow Trench Isolation*- Tranchée latérale d'isolation des dispositifs électriques entre eux

TCAD/CAO -*Technology Computer Aided Design*- Conception Assistée par Ordinateur

TLP -*Transmission Line Pulse*- Impulsion générée par une ligne de transmission

VDD/ VSS Tension d'alimentation / Tension de référence

VDDCORE Cellule alimentant le cœur du circuit avec la tension d'alimentation

WELL (PWELL/NWELL) Caisson P ou N

Légende des masques d'implantation

Dans ce manuscrit, toutes les figures faisant appel au dessin de masques des dispositifs utiliseront le même code couleur que nous présentons ci-dessous :



Active



N+



P+



Caisson N



Caisson P



N isolation



Empilement grille



Contact



Masque anti-siliciure

Introduction générale

L'industrie de la micro-électronique après une phase d'euphorie, début 2000 aborde la décennie suivante, un tournant crucial de son développement. Les efforts à fournir au fur et à mesure de la complexification des applications développées deviennent de plus en plus contraignants et difficiles à supporter en terme de coût : en jeu, la performance et la rentabilité du secteur d'activité. Ainsi les attentions convergent souvent sur les facteurs de rendement, sur la dégradation des puces dont une des causes principales de pertes en micro-électronique sont les agressions provenant des décharges électrostatiques (ESD) générées par l'environnement direct sur les puces. Ces difficultés s'ajoutent aux limites physiques plus strictes pour fabriquer des transistors lorsque l'on aborde des échelles nanométriques.

La technologie Silicium sur Isolant (SOI) a été développée afin de contourner cette difficulté, mais l'intégration des protections ESD limite son émergence du fait de la complexité de la mise au point et du développement du réseau de dispositifs ayant pour but de protéger l'ensemble des applications possibles sur un circuit. La figure A.1 présente le déroulement couramment utilisé dans l'industrie de la micro-électronique pour mettre en place une stratégie d'immunité contre les décharges électrostatiques au niveau du circuit intégré [STR01].

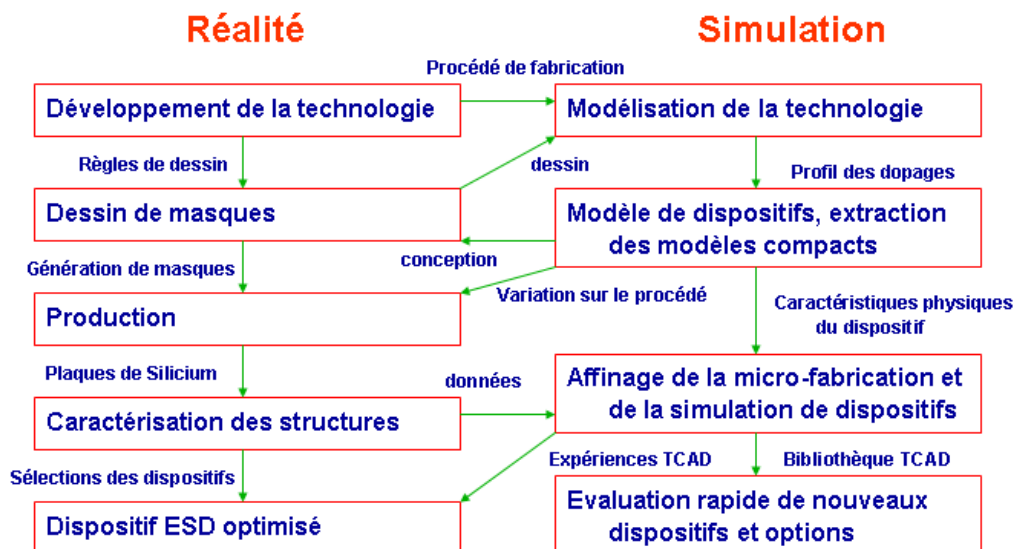


Figure A. 1 Processus classiques au début des années 2000 du développement d'une stratégie de protection [STR01].

STMicroelectronics et le CEA, deux acteurs majeurs de la micro-électronique possèdent chacun un domaine de compétence reconnu mais complémentaire dans ce secteur

d'activité : pour ST, leader européen dans la conception et la fabrication de circuits intégrés, c'est entre autre la protection contre les décharges électrostatiques des systèmes électroniques et pour le CEA, la connaissance de la fabrication de technologies avancées silicium sur isolant. C'est dans une volonté de convergence des savoirs, de conception de solutions innovantes, et de défis à relever que s'inscrit le travail de cette thèse.

L'objectif annoncé de ce travail de recherche est non seulement d'évaluer les caractéristiques principales de la technologie pour la protection contre les décharges mais surtout de proposer une stratégie innovante de protection adaptée au SOI.

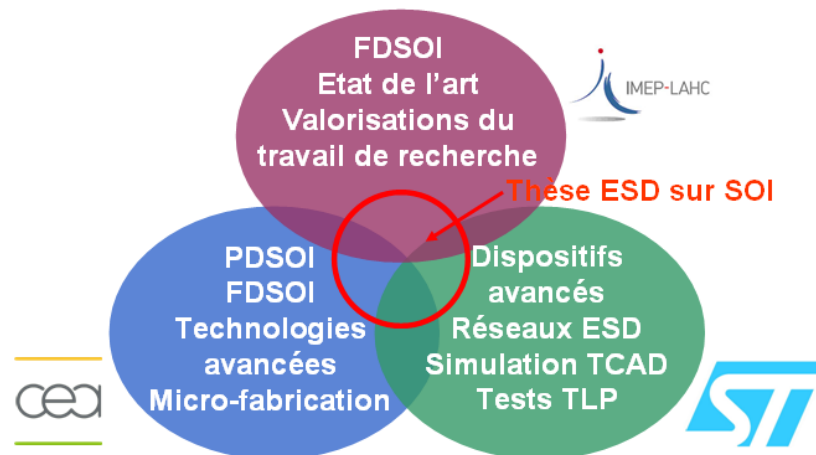


Figure A. 2 Présentation générale de l'environnement de travail universitaire et industrielle sur cette thèse.

En effet, partant de stratégies développées en silicium massif, les travaux précédents s'étaient essentiellement concentrés à bâtir une protection de circuits intégrés en introduisant des structures de protection du silicium massif pouvant fonctionner sur technologies partiellement désertées SOI. L'optimisation de la surface des dispositifs sur SOI était alors le but recherché.

Ce travail de recherche a pris le relais direct de la thèse [ENT06] soutenue en 2006, et centrée sur les protections ESD développées sur les nœuds 130nm et 90nm SOI partiellement déserté. Nous avons voulu prolonger cette réflexion en élargissant la diversité des structures sur PDSOI ainsi qu'en synthétisant les données sur le PDSOI en 65nm et les premiers lots sur les nœuds 45nm et 28nm FDSOI, afin de poser les prémices d'une stratégie originale sur SOI complètement déserté.

Au cours de l'année qui vient de s'écouler (2011), cette nouvelle technologie s'est révélé un élément encore plus important de la stratégie industrielle de tout le bassin grenoblois de micro-électronique, lorsqu'Intel dévoila en mai 2011 [INT11] la mise en production en 22nm d'un CPU à base de transistors 3D triple grille.

Le présent manuscrit présentera une grande partie de ce travail de thèse mais pour des raisons de confidentialité, certains faits expérimentaux ne seront pas exposés. De là, notre propos s'articulera en trois parties.

Le premier chapitre introduira les notions clefs des protections contre les décharges électrostatiques. Que ce soit les standards appliqués dans l'industrie, les dispositifs utilisés ou les outils de développement, cette partie posera le cadre scientifique du travail de thèse sur le sujet. De plus, la technologie SOI à protéger sera présentée notamment dans les variantes majeures actuellement employées : le silicium sur isolant partiellement déserté (PDSOI) et le silicium sur isolant complètement déserté (FDSOI). Ainsi à l'issue de ce résumé, le lecteur possèdera les connaissances nécessaires pour appréhender la complexité du sujet et nous pourrons esquisser une stratégie de protection innovante contre les décharges électrostatique sur SOI.

Le second chapitre synthétisera les différentes méthodologies pour porter les stratégies classiques du silicium massif vers le SOI, et montrera les avantages et les inconvénients qu'il y a à re-utiliser les dispositifs matures. Ainsi en SOI, à standard égal, le MOS commandé propose un gain en place. En outre spécifiquement en FDSOI, la capacité de son circuit de déclenchement n'est pas utilisable en l'état mais peut être adaptée au moyen de diverses solutions. Cependant, en s'appuyant sur des mesures expérimentales sur des technologies silicium massif, SOI complètement et partiellement désertés, nous verrons que l'oxyde enterré, le BOX, limite les performances en robustesse et diminue la fenêtre de conception pour le déclenchement des protections. Pour y obvier, une structure commandée bidirectionnelle a été développée sur PDSOI afin de faciliter la dissipation thermique et améliorer la robustesse. Ces résultats seront présentés en fin du chapitre.

Par ailleurs, pour prolonger cette solution sur technologie FDSOI, le troisième chapitre proposera une étude approfondie sur le thyristor. Dans un premier temps, afin de comprendre le fonctionnement de ce dispositif utilisable en commutation, une étude TCAD en 3D centrée exclusivement sur la structure sera menée sur les 3 configurations possibles (bloqué, passant, flottant). Dans un deuxième temps, des mesures silicium seront exposées et analysées pour déterminer les avantages de cette solution et le cadre dans lequel elle peut s'appliquer. Les limites seront aussi montrées mais la dernière partie du chapitre proposera une stratégie de protections innovantes pour le thyristor sur FDSOI.

En se reposant sur un résumé des résultats acquis, la conclusion générale présentera quelques pistes de poursuite de notre recherche...

Chapitre I
Introduction aux décharges électrostatiques sur
technologies silicium sur isolant

Introduction

L'objectif de ce chapitre est d'établir la problématique dans laquelle ce travail de thèse s'inscrit et d'en définir les contours à partir de deux sujets majeurs qui convergent dans notre propos: ainsi dans un premier temps sera abordé le phénomène de la décharge électrostatique vue depuis la perspective spécifique de l'industrie de la micro-électronique. Dans un deuxième temps, la technologie SOI (silicium sur isolant), dans ses spécificités et dans ses innovations par rapport à la technologie silicium massif sera présentée. Dans ce sens, les standards appliqués, les nœuds technologiques approfondis, les outils employés ainsi que la méthodologie développée y seront explicités.

A. Généralités sur les décharges électrostatiques

1. Définition

De la fabrication des plaques de silicium à l'utilisation des puces, différents éléments dans l'environnement proche d'un circuit de micro et nano électronique sont susceptibles de se charger électriquement. Deux phénomènes physiques majeurs contribuent à polariser les objets et à accumuler localement des excédents de charges, sources d'ESD (décharges électrostatiques) : la triboélectricité et le couplage électrostatique.

La triboélectricité, mécanisme de séparation de charge par frottement, est un phénomène omniprésent dans la nature.

Mais la polarité de l'eau, présente dans l'air sous forme de vapeur, circonscrit sa portée en facilitant l'évacuation du surplus de population de particules chargées. A température ambiante, lorsque le taux d'humidité se réduit, cette régulation s'amenuise et des différences de potentiel importantes dues aux séparations de charges apparaissent (tableau 1.1).

La salle blanche à l'humidité très contrôlée (44% dans la salle blanche, plus faible en photo lithographie) favorise ainsi l'apparition d'une polarité sur les objets et tout élément, machine ou opérateur, peut se transformer en source d'ESD.

Humidité de l'air	10%	40%	55%
Personne marchant sur un tapis	35kV	15kV	7,5kV
Personne marchant sur du linoleum	12kV	5kV	3kV
Personne travaillant sur un banc	6kV	0,8kV	0,4kV
Emballage plastique de circuits enlevé	26kV	20kV	7kV

Tableau 1.1. Tension générée par triboélectricité en fonction de l'humidité de l'air [SEM08].

Le couplage électrostatique génère des transferts de charge dans la salle blanche et des ESD. Son principe de base est présenté figure 1.1.

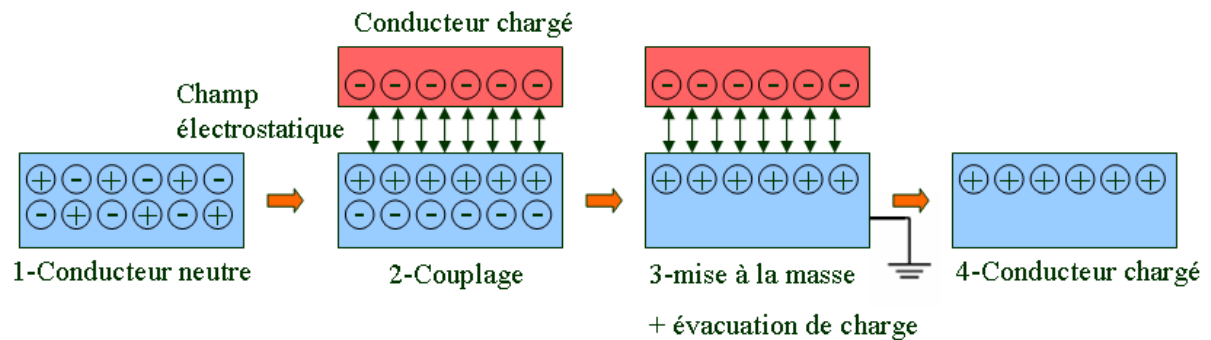


Figure 1.1. Schéma en quatre étapes du principe de polarisation d'un conducteur par induction dans le cas de la micro-électronique.

Ainsi lorsqu'un conducteur neutre, un circuit intégré par exemple, se trouve dans le champ électrostatique généré par une machine, par principe d'interaction mutuelle [LUM02], une séparation de charge s'effectue : la force électrostatique rapproche les charges de signes opposés, celles de signes contraires sont repoussées à l'autre extrémité. Dans le cas d'un contact avec une masse, ces charges peuvent même être évacuées, laissant l'élément polarisé.

De ces deux phénomènes de polarisation vont naître ainsi les décharges électrostatiques, lorsque des conducteurs chargés vont avoir la possibilité de retourner à un état de neutralité soit au contact d'une masse, soit au contact d'un circuit lui-même en contact avec une masse. De ces décharges ainsi peut naître un courant de durée très brève (quelques centaines de nanosecondes) mais d'amplitude relativement importante (quelques ampères). C'est de ce courant extrêmement destructeur que l'on veut immuniser les composants électriques intégrés.

En technologie CMOS, lorsqu'une décharge a lieu, on répertorie deux étapes qui mènent à la perte définitive du composant: en premier lieu, arrivent les défaillances dites faibles où des éléments parasites deviennent conducteurs, et prennent le relais des MOSFET en faisant passer un courant de plus en plus important. C'est le cas du transistor bipolaire en technologie SOI partiellement déserté, ou du thyristor parasite sur substrat massif (phénomène

de latch-up). Puis à mesure que le courant augmente, surviennent les défaillances dites dures : la destruction totale du composant survient alors. Elle peut avoir deux causes principales :

- La **rupture de l'oxyde** de grille des transistors MOS soumis à un champ électrique trop important [AMER92];

- Le « **claquage thermique** » du silicium [AMER92]. La théorie autour de ce phénomène a été développée par Wunsh et Bell. Le principe général est l'augmentation de température provoquée par le passage du courant par effet Joule. Du fait de l'agitation thermique, la génération de paires électron/trou va s'en trouver facilitée et va provoquer une augmentation du courant. Il s'en suit un emballement thermique, qui va mener localement le silicium jusqu'à sa température de fusion et conduire à la destruction du dispositif.

On comprend mieux maintenant toute la dangerosité du phénomène sur un composant et l'intérêt qu'il y a à connaître et maîtriser les ESD. Cependant, leur impact réel dans le domaine de la micro-électronique est souvent sous-évalué. Avant de passer en revue les principales normes de l'ESD, voyons maintenant les pertes occasionnées par le phénomène et son importance.

2. Enjeu industriel

De nos jours, l'industrie de la micro et nano électronique représente un marché de plus de 291 milliards de dollars avec une croissance estimée à 4,2 % en 2012 [TEC11] et est donc soumise à de fortes concurrences. Les questions de rendement y sont donc prépondérantes et les sources de pertes attentivement analysées.

Lorsque la totalité des retours boîtier est analysée, une grande part des défaillances relevées est imputée aux ESD. Différentes études ont été menées depuis une vingtaine d'années pour quantifier ce phénomène et la dernière en date [ICE10] établit un constat édifiant (figure 1.2):

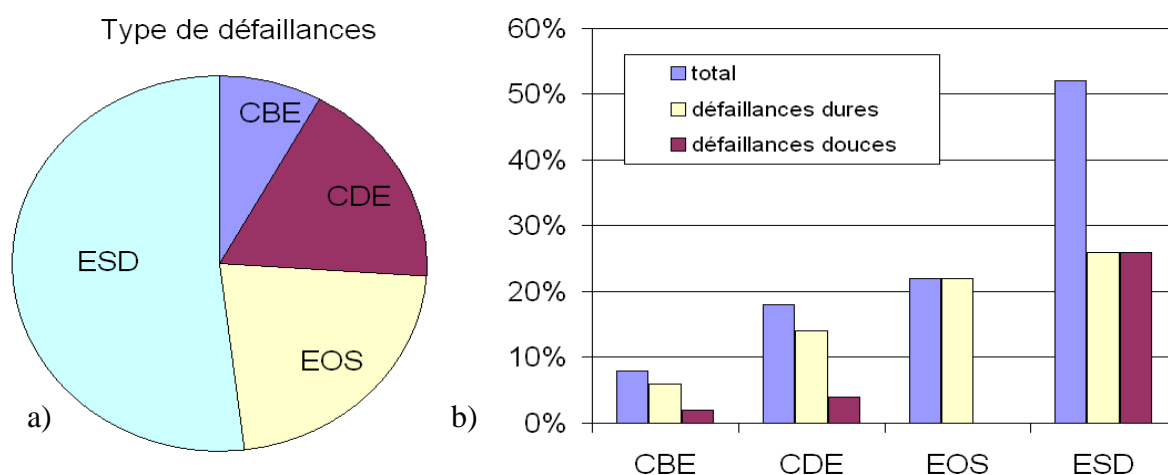


Figure 1.2. Pourcentage de pertes en fonction a) de l'origine b) du type de défaillance [ICE10].

En effet, en comparant le nombre de puces détruites et de puces totales vendues, les cas de défaillances liées à l'échange de données par câble (Cable Discharge Events ou CDE) et celles intervenant lors de la fixation de la puce sur son support (Charged Board Events CBE) ne représentent respectivement que 18% et 7% des cas. Ces défaillances majeures au niveau système ne sont dues généralement qu'à une erreur de polarité ou à surtension due à une mauvaise utilisation des alimentations comme dans le cas des EOS (Electrical Over Stress) (22%). En revanche, **les défaillances ESD comptabilisent plus de la moitié des retours boîtiers et constituent donc un enjeu majeur.**

En fait, si ce problème est omniprésent, c'est que tout au long de la chaîne de fabrication, le circuit subit des agressions électrostatiques: depuis la découpe des plaquettes en passant par la mise en boîtier jusqu'à sa manipulation par des machines ou des opérateurs humains. Afin d'envisager une solution de protection efficace, deux voies complémentaires sont proposées.

La première est d'établir un contrôle strict de toutes les occurrences possibles de transfert de charges dans la ligne de production et de fabrication des produits de micro-électronique. Bref, il s'agit de limiter le nombre d'événements ESD autour des circuits et des puces à protéger. Cela peut se traduire par une mise à la masse plus rigoureuse d'appareil de manipulation, l'emploi d'équipements antistatiques,...

L'autre approche est de doter dans sa constitution interne tout circuit intégré d'une défense spécifique pour le rendre le plus robuste possible à toute agression électrostatique. Ainsi lors de la conception du circuit, on munit celui-ci d'un réseau de protections ESD qui lors du passage en production et en assemblage fera office de paratonnerre et détournera un

éventuel pic de courant du cœur du circuit à protéger. Cette protection empêchera ainsi la décharge de dégrader le circuit et garantira un niveau de robustesse défini dès la conception.

Pour évaluer cette robustesse, en accord entre industriels, des normes ont été mises en place suivant les différentes familles de décharges électrostatiques vues par le circuit. Ainsi, trois catégories de décharges sont répertoriées correspondant aux différents types d'éléments d'où provient la charge originelle. Chaque catégorie a dès lors des caractéristiques propres qui donnent lieu à trois modèles de décharges standardisés :

- le modèle dit HBM (*Human Body Model*) lorsqu'un opérateur entre en contact direct avec un circuit,
- le modèle MM (*Machine Model*) lié aux machines manipulant les circuits
- et enfin le modèle CDM (*Charge Device Model*), quand la puce en contact avec une masse se décharge sur elle-même.

3. Les normes ESD

Ces standards, reconnus par l'organisme JEDEC [JED07] (Joint Electron Devices Engineering Council), ont tous comme point commun de dériver d'un même circuit RLC à l'ordre 1 (voir figure 1.3). La source de la décharge y est ainsi modélisée par une capacité sous tension initiale V_{ESD} , représentant en fait la charge accumulée isolée de la masse.

Ensuite le contact est représenté par l'association d'un interrupteur qui, à $t=0$ connecte la source ESD et le circuit sous test (CST) par l'intermédiaire d'un RLC parasite. Pour finir, en fin de chaîne est connecté entre la masse et le contact le dispositif à protéger. Les valeurs de la capacitance de charge C_{TOT} ainsi que celles du contact RLC parasite (L_s , C_s , R , C_t) diffèrent d'un standard à l'autre. Elles particularisent ainsi les caractéristiques des formes d'ondes du courant comme nous allons le voir maintenant.

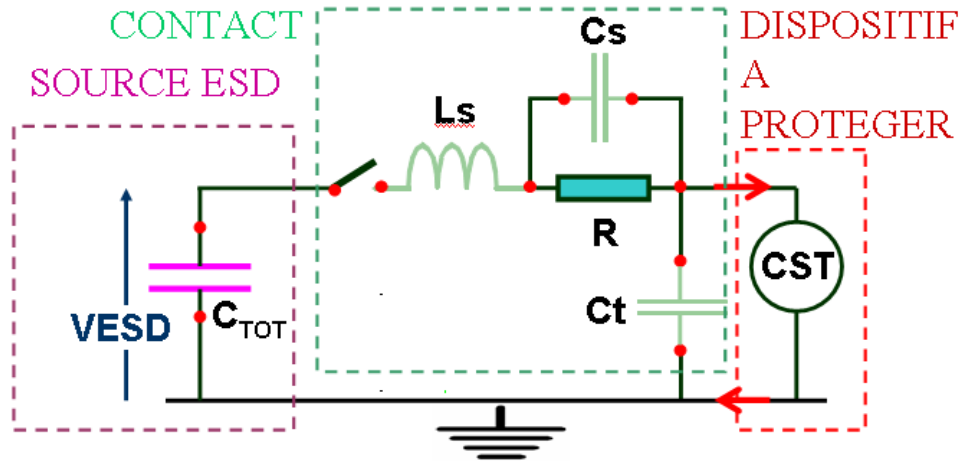


Figure 1.3: schéma électrique équivalent lors d'une décharge électrostatique sur un circuit

Il est supposé au préalable que les dimensions du circuit sont petites devant la longueur d'onde des phénomènes électriques, nous n'avons donc pas d'effet de propagation.

De plus, les valeurs C_s et C_t sont souvent négligeables par rapport aux autres et l'impédance du circuit sous test (CST) est négligeable par rapport aux autres éléments. Nous avons donc un système de deuxième ordre $R_s L_s C_{TOT}$, avec pour caractéristiques [GOE05]:

sa pulsation propre $\omega_0 = \frac{1}{\sqrt{L_s C_{TOT}}}$,

son amortissement $\alpha = \frac{R_s}{2L_s}$,

sa pulsation de circuit $\omega = \sqrt{|\omega_0^2 - \alpha^2|}$.

Le modèle HBM : contact entre le circuit et un corps humain

Le modèle HBM (Human Body Model) décrit le transfert de charge sur le circuit lorsqu'il est touché par un homme. Le circuit équivalent de l'ensemble se réduit donc à :

- la capacité C_{TOT} de charge équivalente du corps humain (environ 100pF) ainsi que la résistance de peau $R_s=1500\Omega$ et l'inductance de contact $L_s=7,5\mu H$,

- C_s , C_t ainsi que l'impédance du dispositif sont négligées par rapport aux autres impédances du circuit,

- la tension de charge V_{ESD} appliquée à la capacité C_{TOT} , est défini aussi comme le niveau de stress.

Nous nous trouvons ainsi dans un cas du second ordre avec régime amorti.

L'expression du courant est donc :

$$i_{HBM}(t) = \frac{V_{ESD}}{R_S} \left(1 - \exp\left(-\frac{R_S}{L_S}t\right) \right) \exp\left(-\frac{t}{R_S C_{TOT}}\right) \quad (1)$$

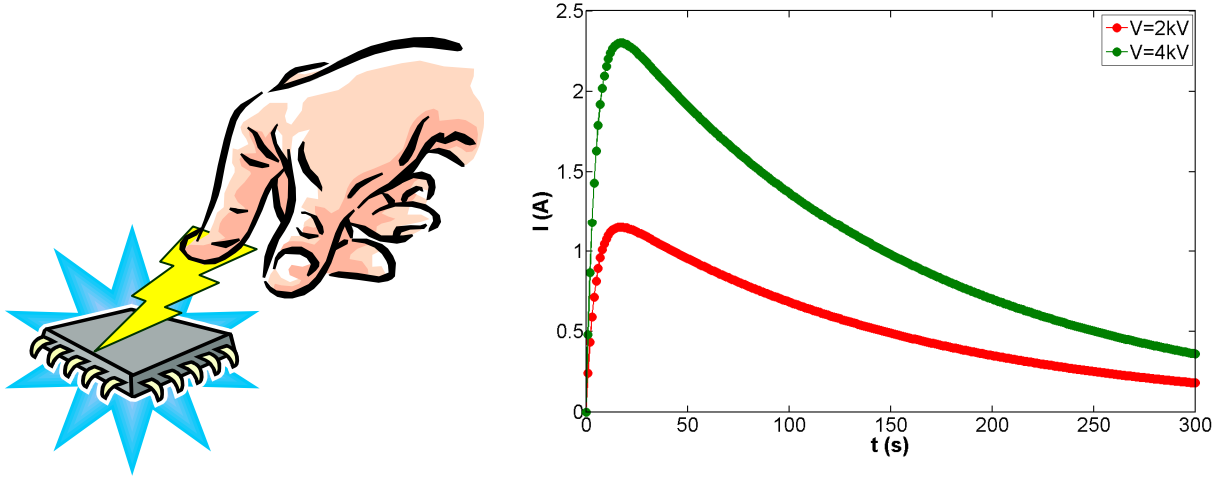


Figure 1.4. Le modèle HBM avec son principe et la forme d'onde du courant pour les standards 2kV et 4kV

On constate, figure 1.4, que l'amplitude du courant est liée directement au niveau de stress. Ce niveau communément admis pour s'immuniser des décharges est d'environ 2kV soit un courant pic de 1,2A. A STMicroelectronics, la norme est de respecter 4kV-HBM pour les circuits digitaux et un courant de 2,4A.

Le modèle MM : contact entre le circuit et une machine

Corolaire du cas précédent, la machine cette fois-ci y remplace l'homme. En conséquence le circuit équivalent du MM ou Machine Model est tout différent : la résistance et l'inductance de contact sont fortement diminuées ($R_S=25\Omega$, $L_S=0,5\mu H$), en contre partie la capacité de charge double ($C_{TOT}=200pF$).

Le régime est maintenant oscillant et sa forme d'onde est régie par l'équation suivante :

$$i_{MM}(t) = V_{MM} \cdot \sqrt{\frac{C_{TOT}}{L_S}} \cdot \exp\left(-\frac{R_S}{2L_S}t\right) \cdot \sin\left(\frac{1}{\sqrt{L_S C_{TOT}}}t\right) \quad (2)$$

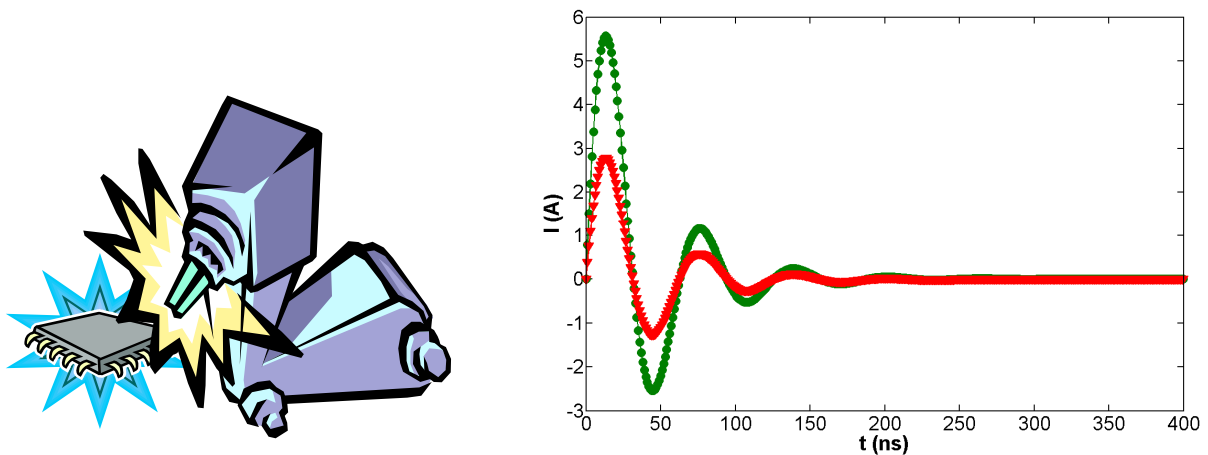


Figure 1.5. Le modèle MM avec son principe et la forme d'onde du courant pour les standards 200V et 500V

Il en découle une caractéristique de courant totalement différente comme présentée sur la figure 1.5 : une amplitude beaucoup plus grande avec pour la norme 500V-MM utilisée à ST, un pic avoisinant les 6 Ampères, des oscillations avec une alternance positive/négative, et enfin un temps de décharge beaucoup moins long qui en fait une contrainte moins énergétique que le HBM.

Le modèle CDM : la décharge du circuit vers une masse extérieure

Le dernier modèle (Charged Device Model) est la décharge du dispositif sur lui-même. Il a lieu lorsque l'on connecte la puce, elle-même chargée à une masse, provoquant un événement ESD en deux temps lors de la polarisation et lors de la décharge. De nature physique différente que les précédents, sa modélisation est l'objet de nombreux développements sur la qualification en laboratoire [GOE05].

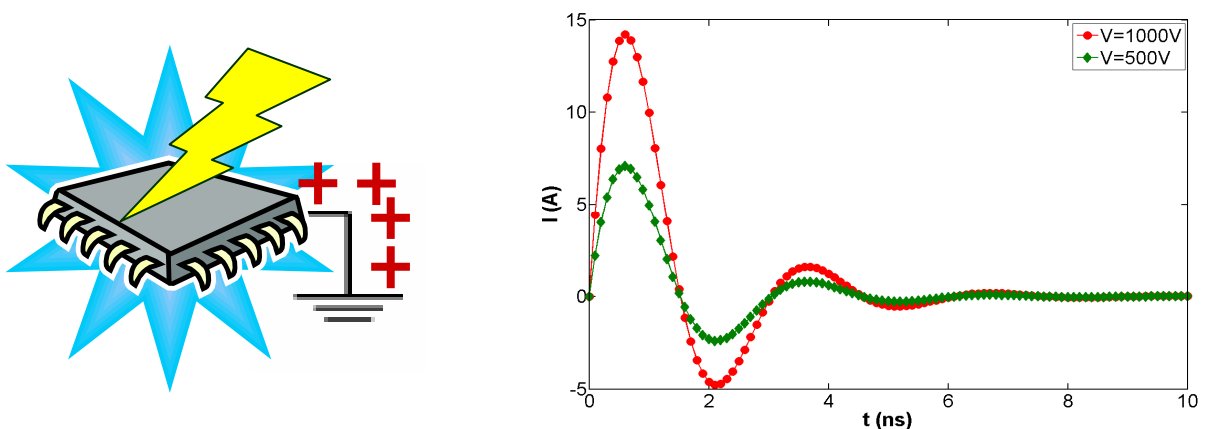


Figure 1.6: le modèle CDM avec son principe et la forme d'onde du courant pour les standards 500V et 1000V

La principale caractéristique de ce mode de décharge (figure 1.6) est de générer des courants de forte amplitude (de l'ordre de la dizaine d'ampères) mais de durée très faible (de quelques nanosecondes).

Ces standards servent de base à l'évaluation de la robustesse et de la viabilité de tout circuit sur des nouveaux nœuds ou des nouvelles technologies. Maintenant que nous avons appréhendé la problématique des décharges électrostatiques dans le cadre de la micro-électronique, regardons plus en détail la technologie SOI, base de travail de notre étude.

B. Présentation des technologies Silicium sur Isolant

1. Enjeux du SOI

On peut trouver dans les technologies Silicium sur Isolant actuelles quelques caractéristiques présentant des similitudes avec celles des technologies des circuits hybrides dont les principes ont été mis en œuvre dès les années 50 [LIL03] [COE95].

Cependant, c'est à partir de l'avènement des technologies silicium planar des années 60 que l'on a proposé des technologies silicium sur isolant comme le silicium sur saphir (SOS)[ALL69] ou le SIMOX [IZU82] à partir desquelles les évolutions de fabrication ont permis d'aboutir aux technologies actuelles comme l'UNIBOND [BRU92].

Le principe en est simple, il s'agit juste de disposer sous la couche de silicium active un oxyde enterré (appelé BOX) permettant l'isolation électrique des transistors entre eux. Cette configuration confère à cette technologie les avantages suivants :

- suppression du thyristor parasite provoquant le phénomène appelé latch-up,
- réduction des capacités de jonctions augmentant la fréquence de fonctionnement et diminuant le courant de fuite [TIN05],
- augmentation de la densité d'intégration grâce à la suppression des prises de contrôle du substrat et à un meilleur contrôle des effets de canaux courts [MOG01],
- modulation dynamique de la tension de seuil du transistor [SOU11],
- robustesse vis-à-vis du funneling effect (passage de particules ionisantes qui traversent la structure et créent des paires électron-trou).

Toutefois la technologie SOI présente des inconvénients :

- auto-échauffement en raison de la faible conductivité thermique de l'oxyde enterré,
- surcoût dû à la fabrication de la plaque de SOI,

- dégradation des performances ESD.

Deux paramètres essentiels T_{SI} , l'épaisseur de silicium actif et T_{BOX} , l'épaisseur du BOX caractérisent cette technologie SOI. En fonction de leurs valeurs dans une technologie moderne donnée, deux cas peuvent exister (voir figure 1.7):

- si T_{SI} est supérieure à plusieurs dizaines de nanomètres, lors de la polarisation de la grille d'un transistor pour la création du canal, la zone de déplétion n'occupe pas toute l'épaisseur du silicium : la technologie est dite partiellement désertée (PDSOI) ;

- à l'inverse, pour des T_{SI} de l'ordre de la dizaine de nanomètres, la zone de charge d'espace ou déplétion va s'étendre sur toute l'épaisseur du film mince: dans ce cas, on parlera de la technologie complètement désertée (FDSOI).

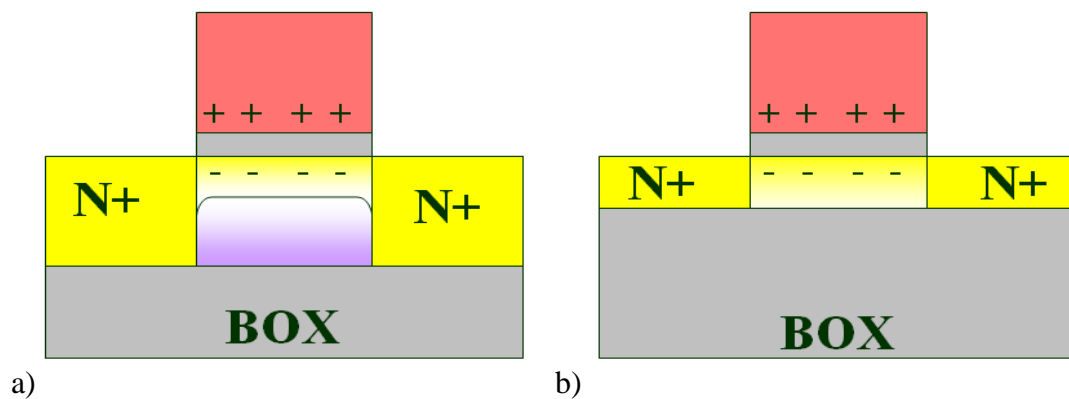


Figure 1.7. Extension de la zone de déplétion dans le cas du NMOS sur silicium sur isolant
a) partiellement déserté b) complètement déserté.

Dans notre étude, les deux approches seront étudiées à des nœuds technologiques différents (voir tableau 1.2). Ainsi, chacune des technologies va être présentée en détail en commençant par la technologie partiellement désertée.

Nœud technologique	Type de SOI	T_{SI}	T_{BOX}
65 nm	PDSOI	55 nm	145 nm
45 nm	FDSOI	8 nm	BOX mince : 10nm
			BOX épais : 145nm
28 nm	FDSOI	8 nm	25nm

Tableau 1.2. Caractéristiques des technologies Silicium sur isolant abordées dans ce manuscrit.

2. La technologie silicium sur isolant partiellement désertée (PDSOI)

La figure 1.7 présente une vue en coupe d'un transistor MOSFET en technologie SOI, ainsi que certains paramètres le caractérisant :

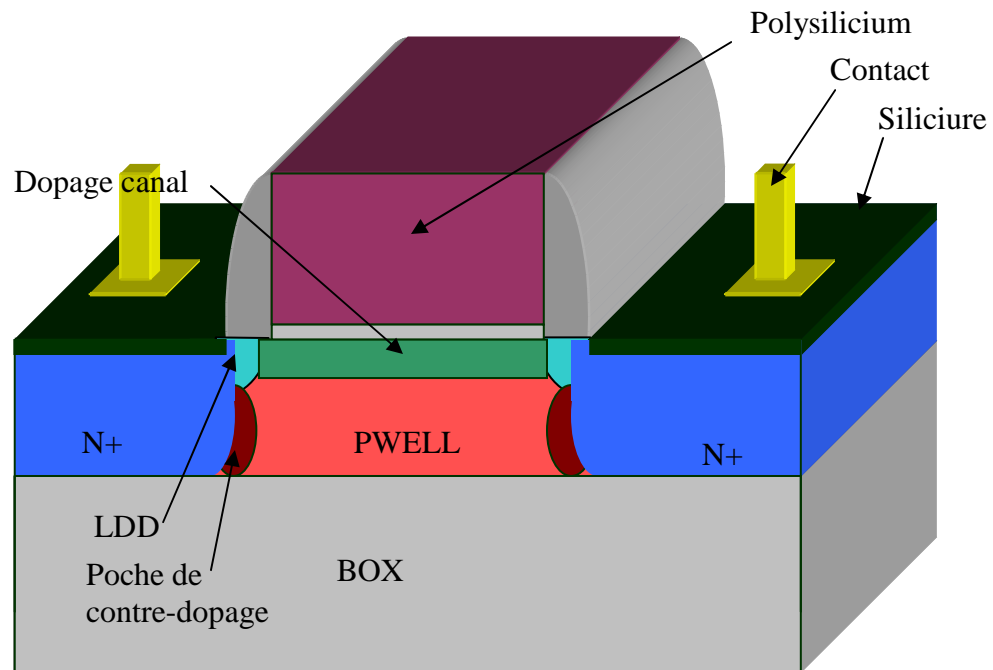


Figure 1.8. Vue technologique d'un transistor NMOS sur PDSOI.

Les options technologiques sur l'architecture du transistor sont très proches de celles du silicium massif :

- plusieurs épaisseurs d'oxyde sont disponibles: l'oxyde GO1 (oxyde de grille en anglais) d'épaisseur 2nm pour une utilisation nominale de 1,2V et GO2 plus épais à 5nm autorisant une tension d'alimentation de 2,5V.

- les niveaux de dopage du silicium sont de 10^{19} cm^{-3} pour les diffusions N+, P+ et de 10^{17} cm^{-3} pour les caissons N et P (noté NWELL et PWELL) afin de former des jonctions à fuite relativement basse ($1 \text{ nA}/\mu\text{m}$ à règle de dessin minimum pour une jonction PN). Cependant dans le cas du GO1, le dopage PWELL, NWELL est de l'ordre de 10^{16} cm^{-3} .

- Pour avoir un meilleur contrôle de la tension de seuil V_T d'un transistor, on met en œuvre un dopage canal (en vert) en implantant des impuretés (As pour le PMOS et BF_2 pour le NMOS) qui vont apporter des porteurs minoritaires et lorsque l'on polarisera la grille, permettront d'obtenir le canal d'inversion aux valeurs de tension souhaitées. Pour des grilles à oxyde fin GO1, trois types sont possibles LVT (faible implantation), SVT (implantation

standard), HVT (forte implantation) donnant des valeurs de V_T entre 0,3V et 0,5V. Dans le cas du GO2, on n'utilise pas de dopage canal.

- Une autre zone de dopage spécifique est réalisée mais celle-là à chaque jonction entre la région de canal et la source ou le drain : c'est le LDD (*Light Doped Drain*) en bleu turquoise. Ce dopage est de même type que celui de la source et du drain mais de plus faible concentration. Il a pour rôle d'atténuer l'effet de porteurs chauds occasionné par un champ électrique trop important et provoquant une dégradation prématurée du transistor. En dopant plus faiblement ces parties, le champ électrique y sera alors moins important en accord avec l'équation de poisson.

- De plus des poches de contre-dopage (du même type de dopant que la région de canal, mais en moindre concentration que les sources et drains) sous les LDD (en marron) sont implantées afin d'éviter l'extension des zones de charge d'espace dans le puits et éviter une variation intempestive de la tension de seuil. Elles permettent aussi de réduire les effets de canaux courts.

- Enfin la technologie PDSOI est une technologie entièrement siliciurée : une couche de siliciure en CoSi_2 ou NiPtSi est formée au niveau des zones actives de silicium non recouvertes par l'empilement de grille. Ce matériau réfractaire, fabriqué en déposant un alliage de cobalt sur le silicium puis un recuit à une température d'environ 1000°C, permet de réduire les résistances d'accès au canal et d'augmenter la vitesse du circuit. Toutefois cette couche court-circuite toute jonction qu'elle recouvre, ajoutant une contrainte en plus dans le dessin des circuits.

De manière générale, ces briques technologiques constituent les éléments majeurs caractérisant la technologie. Aux concepteurs, ne restent après comme degré de liberté que le choix des dispositifs de base (que nous verrons plus loin pour les ESD), de leurs dimensions et de l'emploi de ces options technologiques. Mais nous verrons dans le prochain chapitre que le passage de la technologie silicium massif à SOI et l'introduction d'un oxyde enterré va néanmoins réduire le nombre de catégories de dispositifs et qu'il devient impératif d'en inventer de nouvelles pour les ESD.

L'autre technologie abordée dans ce travail est la technologie silicium sur isolant dite complètement désertée, le FDSOI.

3. La technologie silicium sur isolant complètement désertée (FDSOI)

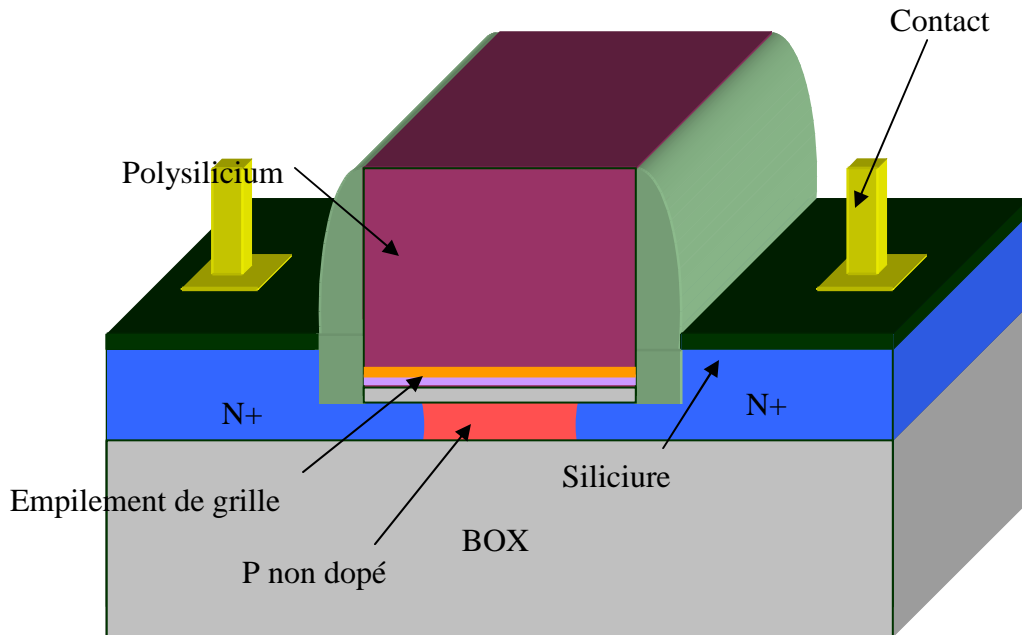


Figure 1.9. Vue technologique d'un transistor NMOS sur FDSOI.

A mesure que les longueurs de grille diminuent sur les récents nœuds technologiques, des effets de canaux courts (DIBL) plus importants apparaissent [SCO08]. Pour remédier à cela, le FDSOI a été proposé comme une possible solution car les jonctions sont limitées en profondeur par l'épaisseur de silicium et offrent ainsi un meilleur contrôle électrostatique du canal du transistor.

L'introduction d'un film mince implique une modification importante des paramètres du MOS développé sur silicium massif ou sur PDSOI. Le dopage des puits sous la grille du fait du petit volume induirait une trop grande dispersion sur la quantité des dopants.

Le canal est donc laissé dans son dopage intrinsèque, de type P à 10^{15} cm^{-3} et pour obtenir la tension de seuil adéquate au type de transistor N ou P désiré, un métal midgap le TiN est déposé dans l'empilement de grille. Cette option technologique engendre l'un des points forts du FDSOI : une variabilité très faible sur la tension de seuil du transistor (voir figure 1.10) [WEB08] [MAZ10].

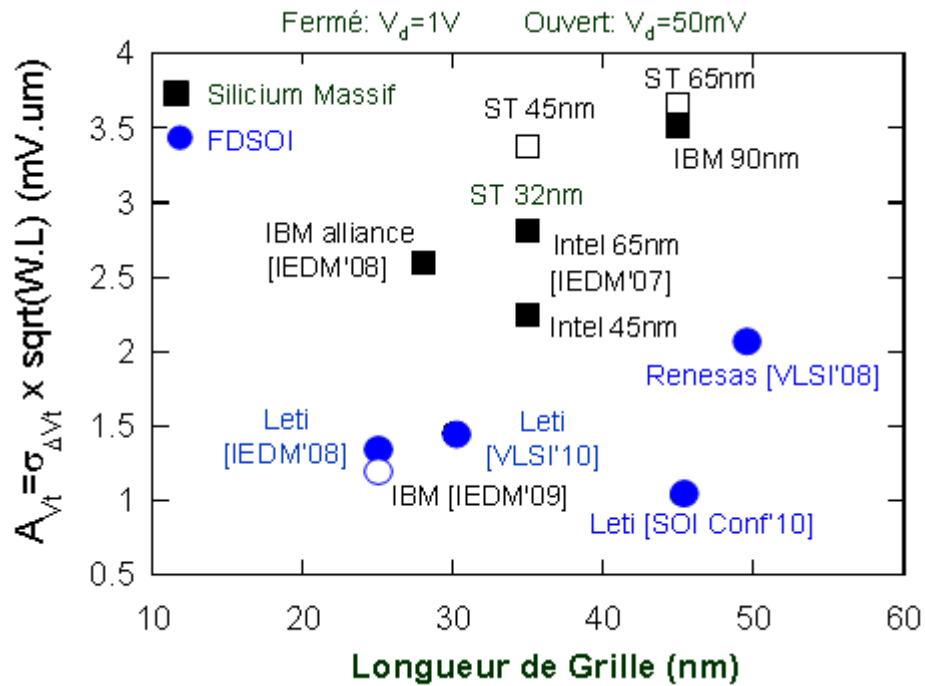


Figure 1.10. Comparatif entre technologie silicium massif et silicium sur isolant de la variabilité en fonction de la longueur de grille [WEB08].

Ce métal a aussi pour effet de limiter les problèmes de désertion du poly silicium. De plus, un oxyde de haute permittivité, tel le HfZrO_2 , HfO_2 , ou le HfSiON est ajouté afin de limiter le courant de fuite de grille.

Pour résumer, la grille d'un transistor est composée de différentes couches de :

- SiO_2
- un oxyde de haute permittivité (environ 2,5nm),
- un metal midgap (10nm de ALD TiN),
- et 80nm de poly Si.

L'oxyde GO1 a une épaisseur d'oxyde équivalent (EOT) de 1,4nm, le GO2 se situant à 3.2nm et une tension d'alimentation respective de 1,2V et 1,8V.

Enfin la fabrication du transistor nécessite une épitaxie pleine plaque des zones non recouvertes par une grille ou par un masque anti-siliciure. La source et le drain sont donc surélevés. Ils atteignent une épaisseur de silicium de 20nm et permettent le dépôt de siliciure afin de former du NiPtSi pour limiter les résistances d'accès au canal.

Enfin l'une des grandes particularités du nœud 28nm étudié dans cette thèse est la possibilité de polarisation de la face arrière par l'utilisation de plan de masse [FEN08]. Ainsi sous l'oxyde enterré se trouvent des zones N ou P dopées à 10^{18} cm^{-3} contactées par des implantations profondes appelées « implantations caissons » du même type pour assurer une

continuité électrique. Ainsi l'application d'une tension sur la face arrière va moduler le V_T , permettant une stratégie multi- V_T sans avoir recours à différents matériaux de grille [FEN10].

Les spécificités de dessin de cette technologie et de conception de circuit ainsi que leur impact seront vus dans le chapitre 2.

Cependant malgré tous les avantages électriques proposés par le PDSOI et le FDSOI, les technologies présentent un faible volume de silicium limité par un oxyde de faible conduction thermique. Avant de voir l'impact de cet aspect technologique aux chapitres suivants, voyons dans ce sens le principe du réseau de protection ESD et la méthodologie de développement utilisée pour le SOI.

C. Le réseau de protection

1. Présentation

La protection ESD doit réunir deux critères dans son cahier des charges [DUV91]:

- en régime de fonctionnement, elle ne doit pas interférer avec la marche normale du circuit qu'elle doit protéger, quels que soient les protocoles d'échange et de traitement de données (analogique, numérique),

- lors d'une décharge, faciliter l'évacuation de l'excédant de porteurs de charges et assurer l'intégrité de tous les composants électroniques du circuit.

Pour réaliser ces deux fonctions, on parle ainsi de réseau de protections ESD dans le but d'assurer avec une assez bonne modularité, les particularités de base requises : une bonne robustesse suivant les normes ESD et le déclenchement opportun de la structure.

Pour cette deuxième caractéristique, deux approches sont envisageables : la stratégie « normally on » [SALM06][CAO10], où les protections restent passantes jusqu'à ce que la mise en marche de l'alimentation du circuit bloque la conduction de la protection ; et la stratégie « normally off » [AMER03], où un circuit de détection va détecter la décharge et mettre en conduction les protections.

Mais dans les deux cas, l'architecture du réseau présentée en figure 1.11, reste sensiblement la même pour des standards de décharge entre deux points (HBM, MM).

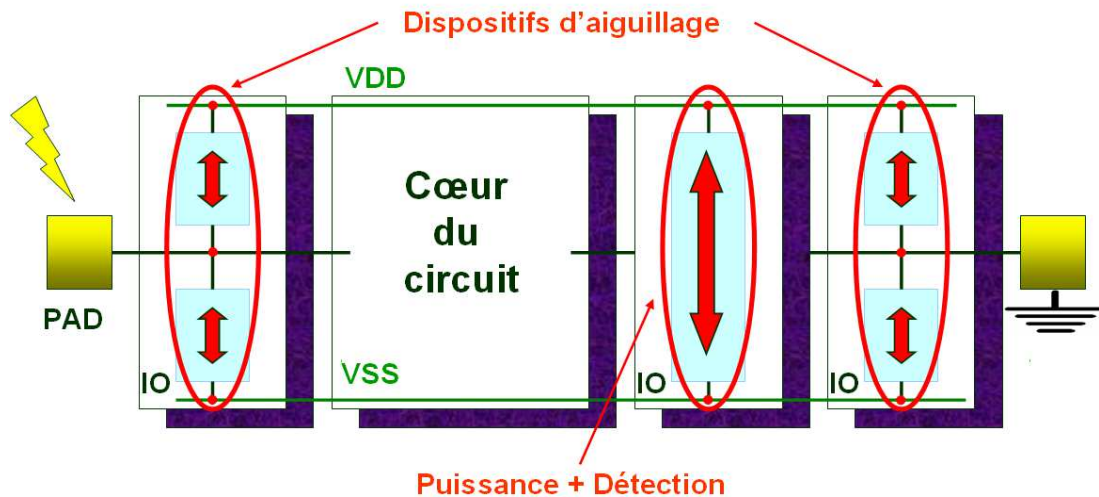


Figure 1.11: architecture générale d'un réseau de protection disposé dans les plots d'entrée-sortie (IO) pour protéger le cœur du circuit

Le standard HBM sera particulièrement étudié dans ce mémoire car il est le plus énergétique [ICE10] et pose le plus le problème de la dissipation thermique, talon d'Achille de la technologie silicium sur isolant.

Trois catégories de dispositifs sont nécessaires à l'élaboration d'un réseau de protection [DAB98] :

-**les dispositifs d'aiguillage** : il s'agit de structures non commandables, dipôles, mises en commutation par la variation de grandeurs électriques induite par la décharge électrostatique. En pratique, sont principalement utilisées les diodes, les MOS montés en dipôle.

-**les dispositifs de commutation** : ce sont des dispositifs commandés afin d'assurer les fonctions passantes lors de la décharge, bloquées le reste du temps comme un interrupteur. Hormis leur anode et cathode, ils sont munis de une ou plusieurs commandes comme la grille du NMOS ou les gâchettes N et P du thyristor.

-Enfin **les circuits de détection** réalisant la détection du signal de commande (la décharge ou l'alimentation). La détection peut être soit dynamique avec sensibilité au temps de montée du signal ou statique avec dépassement d'un niveau de seuil en tension. Il s'agit rarement d'éléments isolés mais d'un ensemble réalisant des fonctions bien connues comme des filtres passe-bas à base de RC ou de commutation avec empilement de diodes.

En fait, seules les structures des deux premières catégories sont spécialement dédiées à l'application ESD et nécessitent un développement particulier du fait de la forme d'onde agressive du courant qui va les traverser. Nous présentons dans la suite un état de l'art de ces dispositifs sur silicium massif.

2. Les dispositifs élémentaires sur silicium massif

Le MOSFET

Composant de base d'un nœud technologique à développer, le MOS constitue le dispositif le plus commun et surtout le mieux connu de la micro-électronique. Depuis l'introduction de siliciure dans les procédés de fabrication [SAL98], sa robustesse intrinsèque a fortement chuté et ses applications en tant que protection se sont réduites.

En effet, le siliciure ayant une température de fusion plus basse que le silicium (1000°C au lieu de 1400°C), les défaillances par effet Joule sont ainsi plus rapidement atteintes. Cependant, deux structures sont toujours fortement employées : le MOSSWI et le MOS désiliciuré.

Le MOSSWI (contraction de MOSFET et SWITCH en anglais) c'est-à-dire le MOS en interrupteur, associe la fonction naturelle du MOS au cas des ESD : couplé à un circuit RC de détection, le MOS s'accorde bien à une fonction de dispositif de commutation, bloqué en alimentation, passant lors de la détection du front de montée d'une décharge.

La grande finesse des modélisations électriques de type SPICE, rend sa conception en tant que protection très accessible, c'est-à-dire sans passer par une étude spécifique sur les ESD. Cependant, le mode de conduction en régime ohmique par un canal d'inversion autorise essentiellement un courant surfacique très gourmand en place : à volume de dissipation thermique constant, la perte de profondeur est compensée par un étalement surfacique.

Pour un courant I donné, connaissant l'équation du courant en fonction de l'épaisseur e et la largeur W (voir équation 3), si e diminue, pour garder I constant, il faut donc augmenter W .

$$I = J.S = J.e.W \quad (3)$$

Par exemple pour tenir les 2,4A lors d'un test 4kV HBM, un MOS GO1 d'une surface de 30µm x 60µm est nécessaire pour le nœud technologique 65nm.

L'autre cas d'utilisation du MOS est le MOS désiliciuré (présenté figure 1.12) c'est-à-dire avec l'emploi dans sa fabrication d'un masque empêchant le dépôt de siliciure entre la source et le drain.

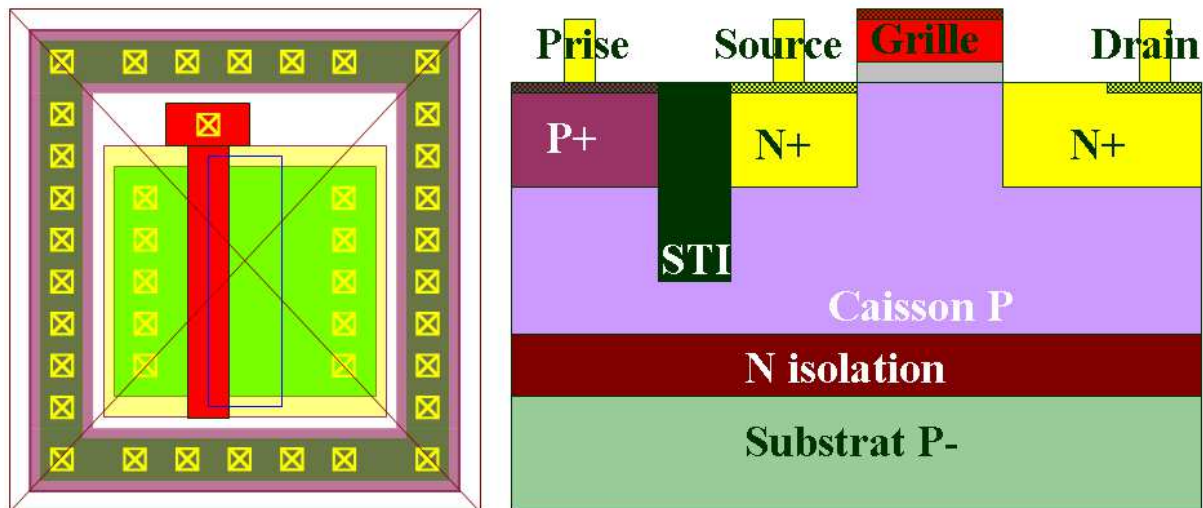


Figure 1.12. Dessin des masques d'un NMOS désiliciuré et vue technologique associée.

L'effet physique escompté dans la topologie de ce transistor est le déclenchement du bipolaire parasite latéral formé par la source, la zone de dopage du puits sous la grille et le drain (pour un NMOS, le bipolaire est NPN). La zone non-siliciurée crée une résistance de ballast entre le bipolaire et le contact permettant l'uniformisation du déclenchement du bipolaire [TRE04]. Dès lors on passe d'un mode bloqué à un mode de conduction du bipolaire, conduction qui n'est pas surfacique mais volumique.

La structure se révèle donc être un bon dispositif d'aiguillage. La configuration employée pour en faire un dipôle est donc la mise à la masse de la grille pour bloquer le MOSFET : on parle de GGNMOS (ground gate NMOS) (figure 1.13).

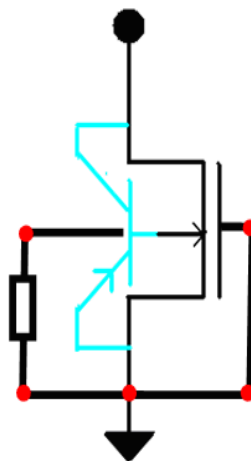


Figure 1.13: Connexion du GGNMOS

Le caisson, lui, est relié à cette même masse par l'intermédiaire d'une résistance pour faciliter l'accumulation des charges et la montée du potentiel dans le substrat et ainsi déclencher le bipolaire

Les Diodes

Dispositif idéal pour l'aiguillage, la diode révèle des possibilités de mise en application assez vastes car elle repose sur le principe simple de la jonction PN. Plusieurs familles de diodes différentes existent, optimisées chacune dans leur topologie pour les ESD, mais possèdent néanmoins en commun la même séquence géométrique : pour minimiser la fuite, les jonctions P+/N+ sont évitées au profit de jonctions P+/caisson(N ou P)/N+. Suivant les choix technologiques de fabrication employée pour réaliser ces configurations, plusieurs catégories de diodes vont naître.

Apparaîtront d'abord les diodes dites latérales, dont la surface de la jonction est parallèle à la direction d'implantation des espèces. Nous aurons donc latéralement disposé les diffusions N et P séparé par un caisson. Suivant le type de caisson, nous pourrions avoir, soit des diodes P+ /caisson P/N+ ou P+ /caisson N/N+. Mais pour éviter que la siliciuration pleine plaque ne vienne court-circuiter les jonctions, une première solution est l'intégration d'une grille à la diode : il s'agit de la diode à grille (figure 1.14). Dans une autre démarche, on peut avoir recours à un masque de désiliciuration : c'est la diode non-siliciurée (figure 1.15). Enfin, pour assurer l'isolation du dispositif vis-à-vis du reste du circuit, un collecteur est mis sur le côté afin de créer une autre diode (caisson P /caisson N) pour la polariser en inverse et éviter toute interaction. Tous ces choix technologiques ont un impact dans le comportement et la physique de la diode, et nous le verrons dans le cas du SOI dans le chapitre 2.

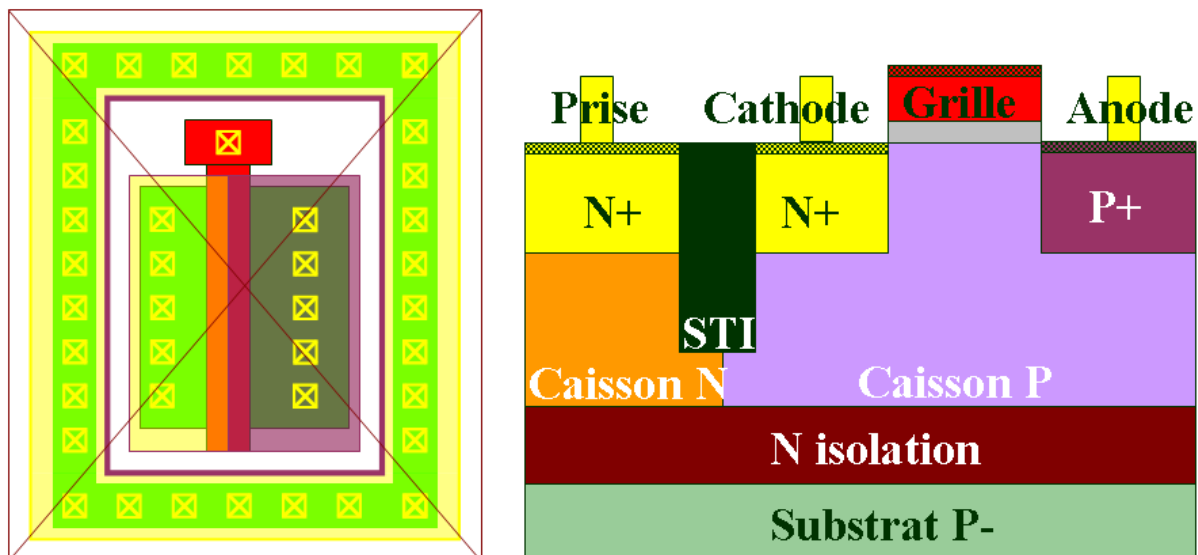


Figure 1.14. Dessin des masques d'une diode à grille et vue technologique associée

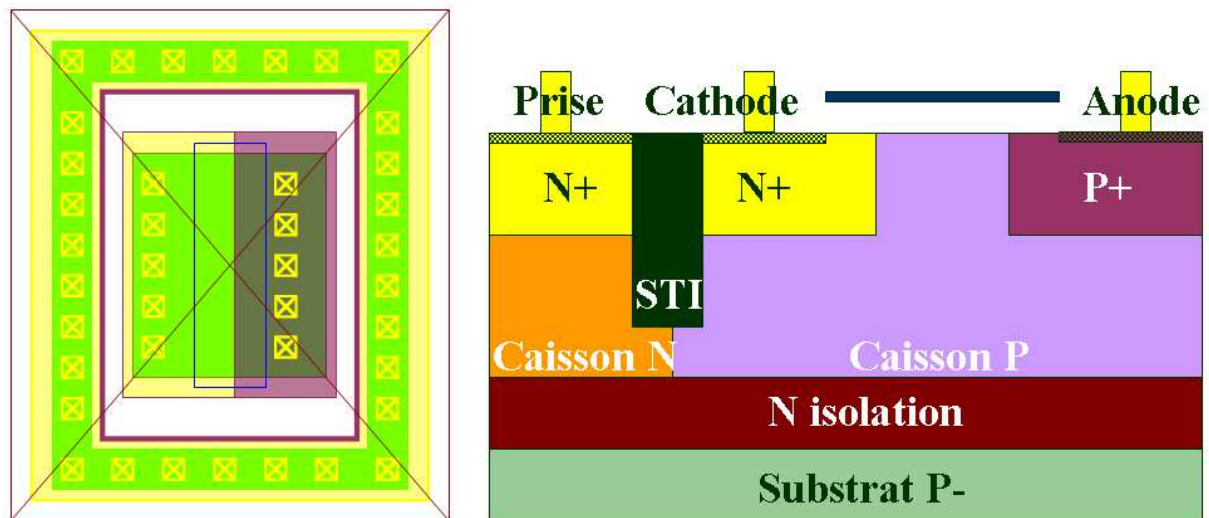


Figure 1.15. Dessin des masques d'une diode non-siliciurée et vue technologique associée.

En parallèle, peuvent être employées aussi des diodes dites surfaciques c'est-à-dire dont la jonction est parallèle à la plaque de silicium (figure 1.16). Dans ce cas, on a recourt au STI pour éviter la siliciuration, et la conduction du courant se fait donc verticalement. L'inconvénient de cette diode est que la distance anode/cathode se trouve être relativement grande et ses performances ESD sont donc moins bonnes [RIC00]. Cependant l'absence de grille lui ouvre un panel intéressant d'application comme les hautes tensions et les Radio Fréquences (RF), où la capacité ramenée par la grille et la fragilité de l'oxyde constituent une gêne majeure.

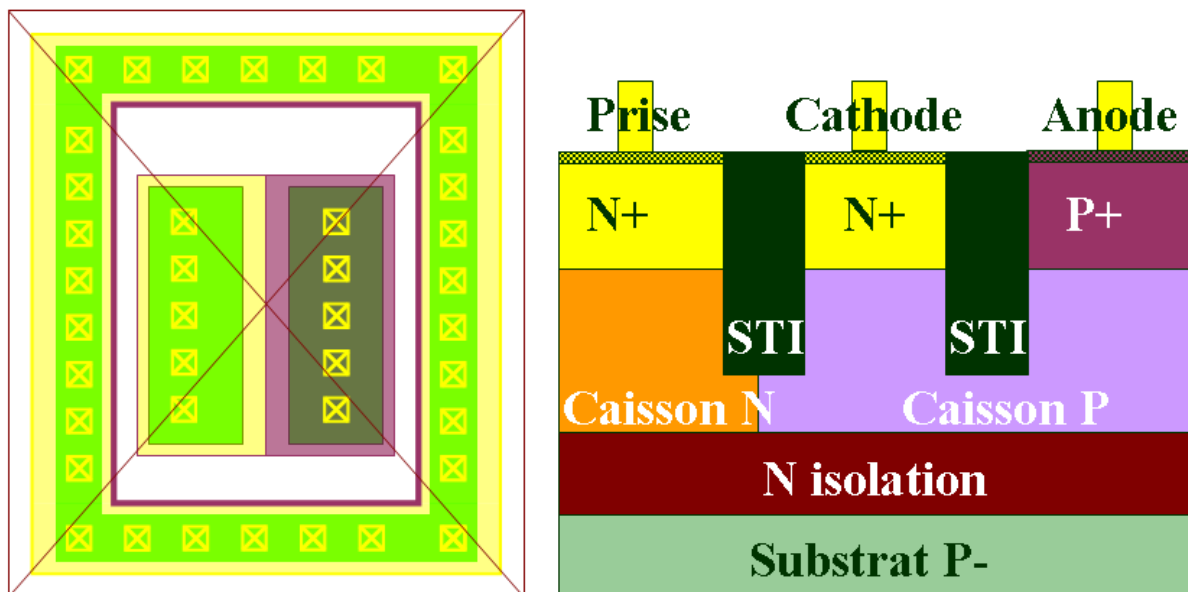


Figure 1.16. Dessin des masques d'une diode STI et vue technologique associée.

Généralement ces diodes sont utilisées dans un réseau de protection ESD pour relier le plot d'entrée (PAD en anglais) à VSS ou à VDD. Etant donné que le signal électrique a une amplitude en tension compris entre VDD et 0V, les diodes sont mises en conduction lorsqu'un signal dépasse le seuil VDD ou génère des tensions négatives ce qui est le cas pour une contrainte négative. Naturellement la diode détourne le signal du cœur du circuit à protéger. Encore faut-il que la diode soit suffisamment dimensionnée pour tenir le courant : seule une étude spécifique le permet.

Le Thyristor

Le principe du thyristor en micro-électronique (en anglais SCR Silicon Controlled Rectifier) ne diffère pas de celui de l'électronique de puissance : il s'agit d'un dispositif non commandé à l'ouverture et commandable à la fermeture [MAT05]. Pour mettre en œuvre ce principe sur les technologies silicium, des transistors bipolaires NPN et PNP sont imbriqués en couplant la base N du PNP avec le collecteur N du NPN, ainsi que la base P du NPN avec le collecteur P du PNP et créer une structure de type PNPN.

Le but est de favoriser une réaction d'auto-entretien des bipolaires grâce à l'interdépendance des courants de base et de collecteur des transistors. Lorsque les gains des bipolaires vérifient la relation du type $\beta_{\text{NPN}} \cdot \beta_{\text{PNP}} \geq 1$ [BOC92], les deux transistors peuvent s'amplifier mutuellement par la boucle suivante [CAI03] :

$$I_{\text{CNP}} \uparrow \Rightarrow I_{\text{bNPN}} \uparrow \Rightarrow I_{\text{CNPN}} \uparrow \Rightarrow I_{\text{bPNP}} \uparrow \Rightarrow I_{\text{CPNP}} \uparrow$$

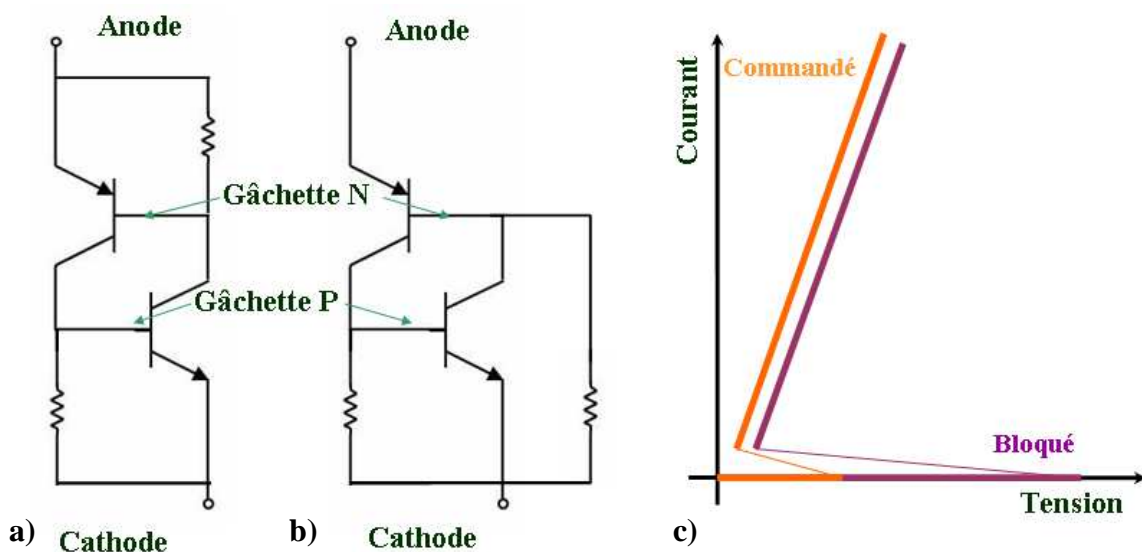


Figure 1.17. Configurations du thyristor a) mode bloqué b) commande de la gâchette N pour déclenchement (mode passant) et c) représentation I-V.

Afin de contrôler la structure et de mettre en place cet effet, on utilise l'émetteur P comme anode du dispositif, l'émetteur N comme cathode et pour déclencher la structure, on prend en gâchette de commande N, la base du PNP et en gâchette P la base du NPN. Le thyristor peut ainsi être connecté suivant deux configurations possibles, présentées sur la figure 1.17.

Le mode bloqué se caractérise par la mise au potentiel haut de l'anode P et de la gâchette N et de la mise à la masse de la cathode N et de la gâchette P. Lorsqu'une tension positive faible est appliquée à l'anode et à la gâchette N, la cathode et l'autre gâchette étant à la masse, la jonction centrale NP est en inverse. Pour que la structure se ferme, il faut que la tension aux bornes permette d'atteindre la tension d'avalanche de la jonction, généralement de type PWELL/NWELL. Cela déclenche les bipolaires imbriqués et provoque la réaction en chaîne de fermeture établissant la conduction du thyristor. Cette tension de déclenchement peut atteindre 12V comme c'est le cas pour le nœud 45nm sur silicium massif.

Afin de réduire le seuil de déclenchement pour appliquer les avantages du thyristor à la protection contre les décharges, on peut choisir de polariser en direct dès le départ la jonction base-émetteur du bipolaire PNP afin de le mettre dès le début en fonctionnement actif. Il s'agit là de la configuration passante, montrée figure 1.17. En mettant la gâchette N à la masse, le courant émetteur du PNP va circuler et progressivement son courant collecteur va polariser la jonction base-émetteur du NPN. Lorsque le bipolaire NPN va entrer en conduction avec un gain en courant suffisant, la réaction d'auto-entretien peut commencer, et on basculera alors en conduction thyristor.

Pratiquement, comment réalise-t-on les thyristors ? La figure 1.18 représente la topologie généralement utilisée à STMicroelectronics [JEZ11] [BOU11] en silicium massif.

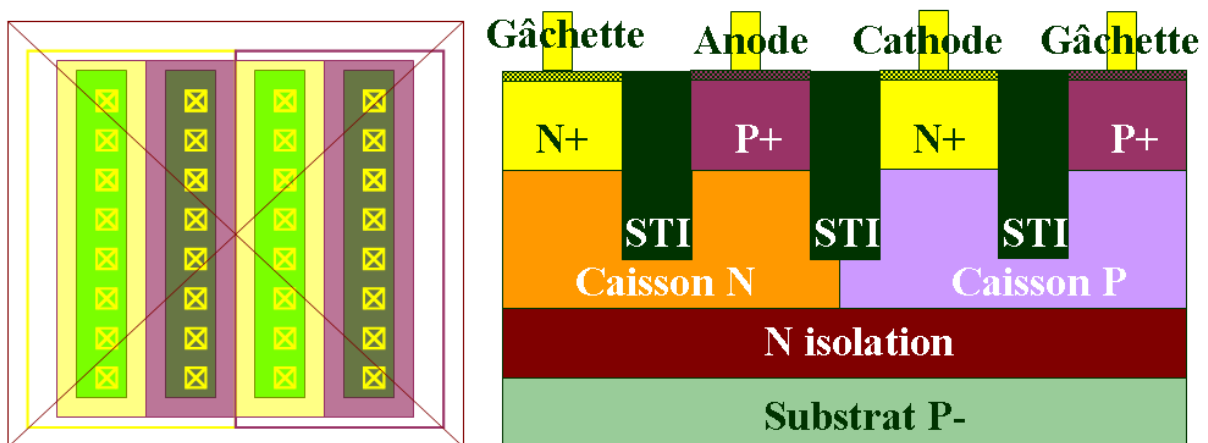


Figure 1.18. Dessin des masques d'un thyristor et vue technologique associée.

L'anode y est constituée d'une diffusion P+ immergée dans un caisson NWELL dont le contrôle se fait par une gâchette N+. En complémentaire, un caisson PWELL accolé au NWELL, va compléter le thyristor en accueillant la cathode N+ et une gâchette P+ de commande. Cette géométrie par l'utilisation de STI facilite l'emploi d'un grand volume de silicium et confère à l'ensemble une des meilleures robustesses pour un dispositif, tout en gardant un courant de fuite peu important. Par exemple en technologie silicium massif 65nm, le courant maximum autorisé y est 5 fois plus important que pour une diode à grille.

Ainsi l'étude d'un thyristor pour son application à un réseau de protection, ne se borne pas à sonder sa robustesse mais aussi à connaître ses propriétés de déclenchement, propriétés qui découlent la plupart du temps de sa topologie [JEZ11].

Nous venons ainsi d'établir la ligne de conduite développée par une majeure partie des acteurs de l'industrie de la micro-électronique pour se prémunir des dégâts suscités par les décharges électrostatiques. Dans la prochaine partie, sera exposée la méthode de développement employée dans le cadre de ce travail d'étude et mise en œuvre à STMicroelectronics.

D. Méthodologie de conception d'un réseau

La cadence d'évolution de la micro-électronique, imposée par la feuille de route de Moore a fait de chaque nœud, une étape de montagne digne du tour de France. Mais à mesure que les échelons s'envolent dans l'infiniment petit, la montagne se fait himalayenne, et le sablier nanométrique. Pour relever ce défi, les entreprises de pointe ont ainsi misé sur la Recherche et Développement (R&D) et l'Innovation. Afin d'éviter un coût de fonctionnement de la R&D trop élevé dû à une utilisation systématique de masques dédiés et de plaques de silicium, un équilibre a été atteint entre l'investigation et le développement d'idées originales par la C.A.O. (Conception Assistée par Ordinateur) et l'utilisation parcimonieuse de silicium pour valider les nouveaux concepts.

Le cycle classique de conception à STMicroelectronics se résume en 4 étapes :

- l'évaluation sur silicium de la technologie à protéger et l'établissement du cahier des charges (notamment la fenêtre de conception, définie plus loin) pour les protections à venir. Pour cela, l'outil de mesure le plus indiqué pour les problématiques ESD est le testeur TLP

(Transmission Line Pulse) car il permet le test du dispositif dans les conditions proches des standards JEDEC,

- la conception et la simulation par ordinateur (CAO). Par ce biais, la problématique et les grandes tendances de la technologie investiguée sont mises en lumière et les principales solutions possibles sont donc élaborées par ce processus,

- le dessin sur silicium des déductions issues de la phase précédente soit sous la forme de dispositifs indépendants (DOE : Design of Experiment) soit sous la forme de prototype de circuit (Test-Chip),

- enfin le test, de manière identique à la première étape des structures développées, l'analyse des résultats et la validation de la stratégie mise en place.

Cependant il peut arriver qu'un premier cycle ne donne pas entière satisfaction. Une deuxième itération est donc nécessaire pour venir à bout de la difficulté. Afin de mieux comprendre les directions d'étude choisies dans ce travail, nous allons voir maintenant les deux principaux outils indispensables à la conception des protections : l'outil de test et de caractérisation, le testeur TLP, et l'outil d'investigation de solutions, la CAO.

1. Le testeur TLP

Connaissant l'allure du courant défini par les standards JEDEC, on peut arriver à reproduire un événement semblable en injectant de manière expérimentale le même type de courant dans le circuit. Ceci se révèle être une méthode efficace pour évaluer le niveau de résistance d'un dispositif vis-à-vis d'une décharge en fournissant une information du type « go/ no go ». Toutefois, elle ne permet pas une caractérisation précise pour une analyse du comportement de la puce. Une façon efficace d'y remédier est d'envoyer une famille d'impulsions décorréélées physiquement les unes des autres, de courant d'amplitude croissante et d'observer les réactions du dispositif: c'est le principe du testeur Transmission Line Pulse ou TLP dans la suite.

Le TLP a été développé au cours des années 80 par T.J. Maloney [MAL85] pour donner aux spécialistes des ESD les moyens d'affiner leurs connaissances sur la robustesse des circuits et de mieux caractériser les dispositifs sous contrainte ESD. Sa mise en œuvre est simple (voir figure 1.19) : c'est une technique de contrainte par impulsion carrée, où l'on sollicite le dispositif par un pic de courant et on observe la tension pour tracer une courbe I-V quasi-statique [AMER03]. Les créneaux sont suffisamment espacés en temps pour éviter une quelconque corrélation thermique, ou électronique entre eux.

Les caractéristiques des impulsions sont donc un temps de montée de l'ordre de 10ns, une durée totale de 100ns et une amplitude supérieure à la précédente. La mesure du point I-V se fait sur une moyenne des mesures entre 60ns et 80ns pour éviter la prise en compte de phénomènes transitoires de surtension. Entre chaque pulse, le courant de fuite est mesuré, sa variation par rapport aux conditions initiales entraînant ainsi la détection d'une défaillance due à la décharge.

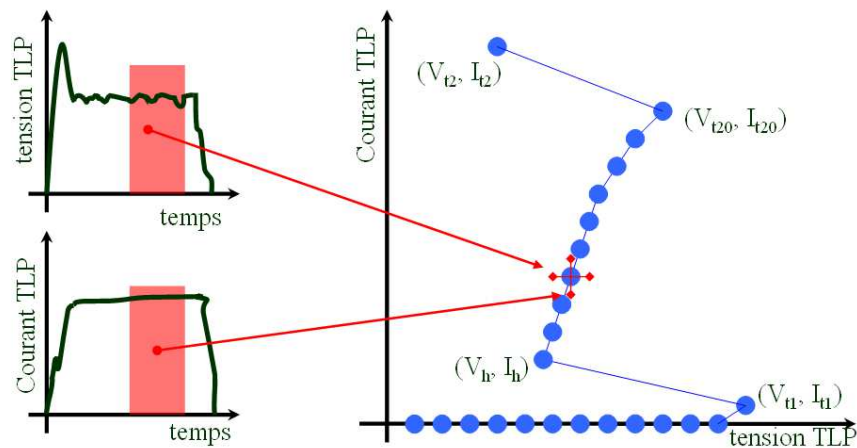


Figure 1.19. Principe de la mesure du TLP.

Avec le TLP, on peut mettre en lumière les paramètres cruciaux pour le développement de protections (figure 1.19):

- V_{t1} et I_{t1} , la tension et le courant de déclenchement d'éléments parasites comme le bipolaire d'un MOS ou l'avalanche d'un thyristor par exemple,

- V_h et I_h , la tension et le courant de maintien de ces éléments parasites lors du passage en régime passant,

- V_{t20} et I_{t20} , la tension et le courant maximum que peut atteindre le dispositif sous test juste avant une défaillance irréversible,

- V_{t2} et I_{t2} , la tension et le courant maximum que peut atteindre le dispositif sous test juste après la défaillance dure,

- R_{ON} , la résistance dynamique lors du régime de conduction.

Cependant, on voit sur la figure que le TLP occulte complètement les effets de surtension en début d'événements.

Dans le cadre de la mise en œuvre d'une stratégie, le test TLP est à même de fournir le « portrait-robot » d'une protection efficace et de comparer au cahier des charges découlant des standards industriels. Ce « portrait-robot » s'appelle la fenêtre de dessin pour ESD (voir figure 1.20).

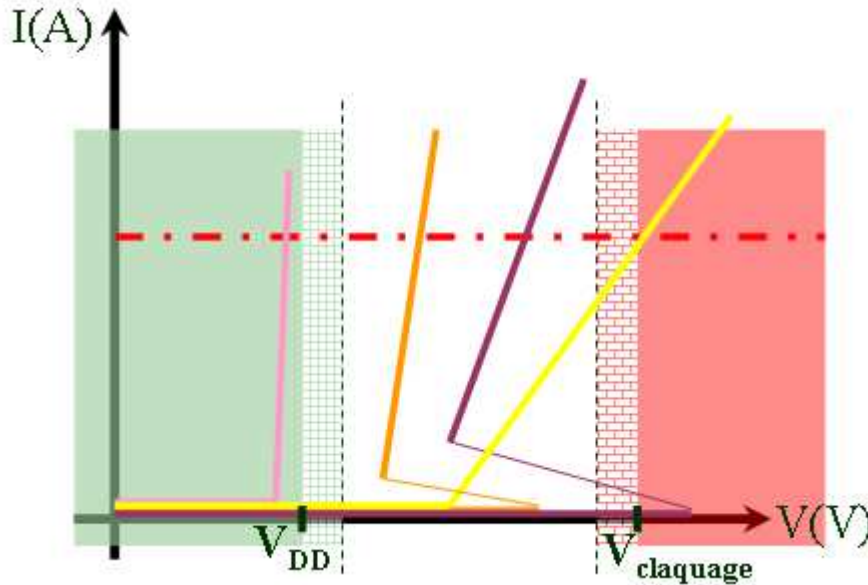


Figure 1.20. Fenêtre de dessin pour la conception de protections ESD (ESD design window).

Cette fenêtre restreignant le domaine d'action de la protection, peut être vue comme un gabarit d'utilisation, fixé par le fonctionnement du circuit et des dispositifs à protéger dits charges : la tension de déclenchement minimum de la protection est imposée indépendamment du TLP par la tension d'alimentation nominale V_{DD} ajoutée à une marge de bruit de 10%, pour ne pas voir d'action intempestive de la protection durant l'utilisation classique du circuit. La limite maximum elle, est donnée par le déclenchement parasite des charges qui entrent en conduction et qui du fait de leur faible robustesse sont détruites rapidement.

La protection idéale en commutation (en orange sur la figure) doit ainsi se déclencher entre $V_{DD} + 10\%$ et $V_{claquage} - 10\%$ et doit posséder une résistance dynamique suffisamment faible afin de rester, à fort courant toujours dans la fenêtre. Sinon le cas échéant, elle peut se déclencher trop tard (en violet), trop tôt (en rose), ou sortir de la fenêtre avant d'atteindre l'objectif de robustesse (en jaune).

Cependant, toutes ces déductions se sont faites en marge des standards, sans lien conceptuel entre le TLP et les exigences industrielles. Nous allons voir maintenant l'équivalence qu'il est possible de réaliser entre les caractéristiques de l'impulsion TLP et la norme HBM.

2. Équivalence TLP /HBM

Le phénomène HBM constitue l'un des événements les plus agressifs et les plus récurrents. Nous avons ainsi analysé nos dispositifs à l'aide de test TLP pour caractériser le phénomène HBM. Mais encore faut-il être sûr que l'analyse fondée sur le TLP reflète bien la réalité HBM. En fait c'est le choix de la longueur du pulse t_{TLP} qui conditionne l'équivalence, tel qu'il a été démontré dans [LEE00]. En voici le raisonnement :

Dans l'évènement HBM, on a vu figure 1.4 que le courant avait pour expression :

$$i_{HBM}(t) = \frac{V_{ESD}}{R_S} \left(1 - \exp\left(-\frac{R_S}{L_S} t\right) \right) \exp\left(-\frac{t}{R_S C_{TOT}}\right) \quad (4)$$

Et ce, dans les conditions $R_S \gg R_{DUT}$ et $C_{TOT} \gg C_{DUT}$ où R_{DUT} et C_{DUT} sont respectivement la résistance et la capacité du dispositif testé. Or sachant par expérience que la durée d'un évènement est de l'ordre de la centaine de nanosecondes et que $R_S=1500\Omega$, $L_S=7,5\mu H$, on a

$$\exp\left(-\frac{R_S}{L_S} t\right) \approx e^{-20} \ll 1$$

Ajouté à cela que le courant maximum atteint (choisi aussi comme courant TLP) durant la décharge s'écrit :

$$I_{HBM,pk} = I_{TLP} = \frac{V_{ESD}}{R_S} \quad (5)$$

On obtient donc une expression simplifiée du courant durant un évènement HBM :

$$i_{HBM}(t) \approx I_{HBM,pk} \exp(-t / R_S C_{TOT}) \quad (6)$$

Ainsi on peut calculer l'énergie nécessaire pour engendrer une défaillance dure en fonction du courant maximum :

$$E_{f,HBM} = \int_0^\infty i^2(t) R_{DUT} dt \quad (7)$$

Soit en calculant l'intégrale:

$$E_{f,HBM} = \frac{1}{2} I_{HBM,pk}^2 R_{DUT} R_S C_{TOT} \quad (8)$$

D'autre part, en ce qui concerne l'évènement TLP, comme le courant reste constant, cette énergie peut se mettre simplement sous la forme :

$$E_{f,TLP} = I_{TLP}^2 R_{DUT} t_{TLP} \quad (9)$$

Connaissant maintenant l'expression des deux énergies de défaillance des événements, on comprend que la condition nécessaire pour que les deux décharges soient équivalentes est que les énergies soient égales. Ce qui donne :

$$E_{f,HBM} = E_{f,TLP} \quad (10)$$

Soit en remplaçant par les formules (7) et (8), on obtient comme temps d'impulsion:

$$t_{TLP} = \frac{1}{2} R_s C_{TOT} \quad (11)$$

Sachant que $R_s=1500\Omega$ et $C_{TOT}=100pF$, on a $t_{TLP} = 75ns$.

En pratique avec un temps de montée t_m de 10ns, on a $t_{tot} = 2t_m + t_{TLP} \approx 100ns$

Nous venons de justifier de l'emploi du TLP pour la caractérisation de dispositifs dans l'optique de développer une stratégie de protection suivant l'un des standards les plus agressifs, spécialement pour les technologies silicium sur isolant. Présentons l'autre outil d'investigation utilisé dans ce travail : la CAO.

3. La Conception Assistée par Ordinateur

La Conception assistée par ordinateur joue un rôle majeur dans la prospective de nouvelles tendances et l'émergence de solutions conceptuelles appliquées au dessin de masques. La mise au point d'un outil fiable et cohérent comme celui là se fait dans le cadre d'une collaboration entre plusieurs équipes dans une entreprise, un *triumvirat* composé de l'équipe de simulation CAO, l'équipe de micro-fabrication et l'équipe ESD (conception et caractérisation).

Ainsi avant la phase d'élaboration des structures, sont fournis à l'équipe conception, des profils de dopages des différentes jonctions disponibles sur le nœud technologique étudié, définis à l'aide de la feuille de route des procédés de fabrication ainsi que des mesures des concentrations des dopants à l'aide de spectroscopie de masse d'ions secondaires (SIMS).

Ensuite les dispositifs sont générés suivant trois étapes sous différents logiciels regroupés dans la licence SENTAURUSTM [ISE95] comme présenté sur la figure 1.21.

Le Dessin des masques

Les masques de la structure sont dessinés sous Cadence comme lors de la conception du dispositif pour le silicium. Ainsi la conformité aux règles de dessin de la technologie étudiée peut être vérifiée par les outils informatiques habituels, avec la même rigueur et la même précision. Cependant des masques dit virtuels c'est-à-dire sans réelle existence physique à terme, sont introduits pour le besoin de la simulation (généralement pour la définition des contacts ou pour le maillage). Ensuite le logiciel ICWB (Integrated Circuit

Work Bench) est employé afin d'importer ces masques sous SENTAURUS et de les reconnaître informatiquement pour les associer aux simulations d'implantation des dopages.

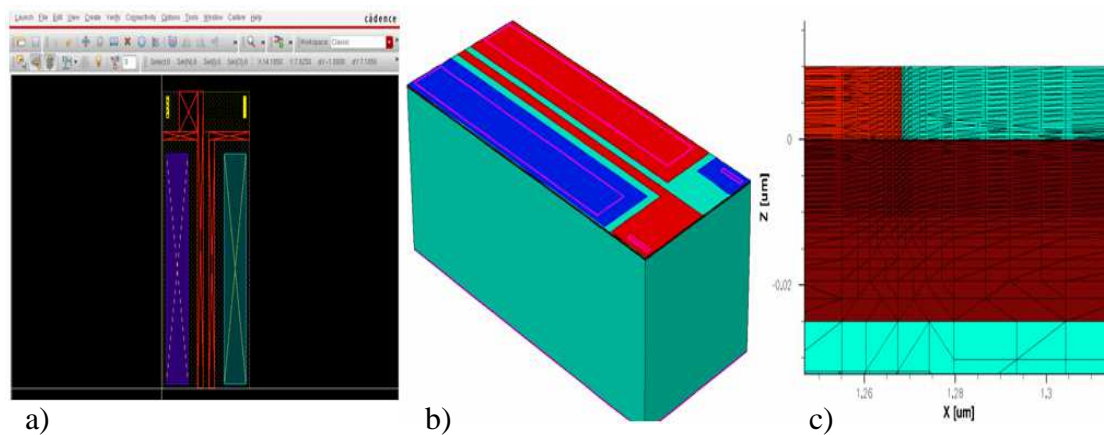


Figure 1.21. Les 3 étapes de génération d'un dispositif pour la simulation : a) dessin de masques, b) implantations des profils, c) maillage.

L'implantation des profils et le maillage

A l'aide du logiciel SDE sous SENTAURUS et en faisant appel aux profils de dopages des différentes jonctions de la technologie (fournis par l'équipe de simulation CAO), la structure est codée dans un script avec définition des zones de dopages (diffusions et puits), des contacts électriques du dispositif (anode, cathode, gâchette) ainsi que des zones de maillage suivant la précision du réseau de maille.

Enfin la structure est compilée et maillée sous SDEVICE (c'est-à-dire décomposée en éléments simples) afin de pouvoir calculer les profils de dopants et de résoudre des équations non-linéaires par méthode numérique. La résolution de ces équations dépendant fortement du maillage de la structure, cette opération est donc importante pour le succès et la vraisemblance de la simulation.

Dans le cas des ESD, il est généralement recommandé [BOU11] [JEZ11] de mailler finement les endroits à forts champs électriques comme les jonctions soumises à fortes polarisations ainsi que les interfaces Silicium/Oxyde. Cependant, un compromis est à trouver entre nombre de mailles, convergence et précision. En effet, un nombre de maille trop élevé, un réseau mal réparti peut avoir une influence fâcheuse sur le temps de calcul, la précision voire même la convergence des calculs.

La simulation

Les simulations qui sont entreprises afin d'extraire les principales grandeurs physiques voulues (courant, tension, température,...) sont basées sur la résolution d'équations locales décrivant la physique du semi-conducteur. Ce jeu d'équations converti en algorithme de calcul repose sur :

-l'équation de poisson dans le semi-conducteur

$$\varepsilon \Delta \Psi(\vec{r}, t) = -q(p - n + N_D^+ - N_A^-) \quad (12)$$

Où Ψ est le potentiel électrostatique, ε la constante diélectrique du semi-conducteur, q la constante de la charge élémentaire d'un électron, n et p les densités de porteurs mobiles (électrons et trous respectivement), et N_D^+ , N_A^- les densités d'impuretés ionisées fixes (donneurs et accepteurs),

-les équations de continuité des porteurs de charge

$$\frac{\partial n}{\partial t} = \frac{1}{q} \vec{\nabla} \cdot \vec{J}_n + U(n) \quad (13)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \vec{\nabla} \cdot \vec{J}_p + U(p) \quad (14)$$

Où J_n et J_p sont les densités de courants d'électrons et de trous et $U(n)$ et $U(p)$ sont les taux de génération/recombinaison des électrons et des trous,

-les équations de transport

$$\vec{J}_n = nq\mu_n \vec{E} + q\mu_n D_n \vec{\nabla} n \quad (15)$$

$$\vec{J}_p = pq\mu_p \vec{E} + q\mu_p D_p \vec{\nabla} p \quad (16)$$

Où μ_n et μ_p sont les mobilités effectives des électrons et des trous, et D_n , D_p sont les constantes de diffusion des électrons et des trous

-l'équation de la chaleur

$$C_v \frac{\partial T}{\partial t} - \nabla \cdot \kappa \nabla T = -\nabla \cdot ((P_n T + \phi_n) \vec{J}_n + (P_p T + \phi_p) \vec{J}_p) \quad (17)$$

Où C_v la capacité thermique, κ la conductivité thermique, P_n et P_p les puissances thermoélectrique des électrons et des trous, et ϕ_n et ϕ_p les potentiels du quasi-niveau de fermi des électrons et des trous.

Dans le cadre des ESD, des simulations en régime transitoire soit électriques, soit électrothermiques sont mises en œuvre suivant les différents modèles proposés par

SENTAURUSTM [ISE95] et suivant une méthode bien particulière: la méthode ACS (Average Current Slope).

La simulation ACS :

Pour faciliter la concordance des déductions dégagées par la CAO avec la réalité expérimentale, le cycle naturel de simulation aurait été une caractérisation par impulsions de la structure générée par SDEVICE, en exemple du test TLP.

Malheureusement, cette méthode multiplie les calculs avec d'abord, une simulation pour chaque créneau de courant, puis une configuration 3D et donc un nombre élevé de nœuds de maillage, et enfin des stimuli électro-thermiques, avec de nouvelles équations à résoudre. On le voit, la méthode est malaisée et lourde, et les développements, pénibles et encombrants pour au final, « accoucher » fastidieusement d'une courbe I-V quasi-statique.

Une méthode plus simple et plus élégante [GALY02] a été employée dans ce travail. Son principe (figure 1.22) est de remplacer la série d'impulsions par une rampe en courant (1A sur 100ns) qui contiendrait tous les points de simulation.

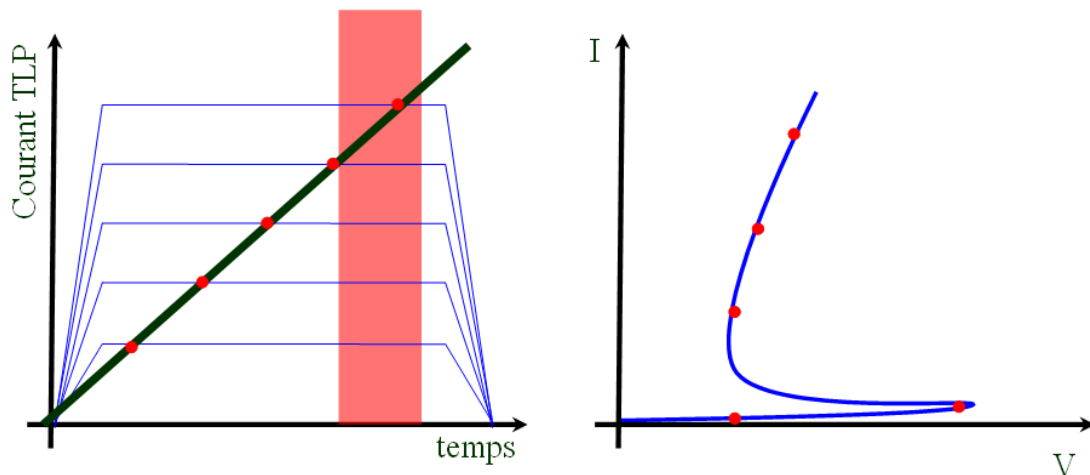


Figure 1.22 : principe de la méthode ACS avec équivalence de la rampe en courant et de la simulation TLP

En observant ainsi la tension associée et le courant, la caractéristique I-V est obtenue par une seule simulation ou une mesure en temps réel, diminuant considérablement les temps de calcul. De plus, la quasi-stationnarité étant conservée du fait de la rapidité de l'événement, on peut déduire des résultats une bonne estimation des flux de porteurs, des mécanismes de déclenchement, ainsi que de la résistance en régime passant. Enfin, la méthode ACS, contrairement au TLP, ne cache pas les effets de surtension au démarrage de l'impulsion.

Cependant, l'évaluation précise de la robustesse intrinsèque du dispositif reste un sujet délicat à traiter [SALA05]. En effet, lors des défaillances par emballement thermique, l'inhomogénéité du silicium est un des facteurs clés de la fusion locale du composant et de la création du filament. Ce facteur n'est pas pris en compte par la modélisation du dispositif.

En outre, on ne dispose pas d'appareils permettant une mesure locale satisfaisante de température, ainsi aucune corrélation n'est possible entre la simulation thermique et la réalité. Les déductions issues de la CAO doivent être évaluées avec précautions et sont généralement employées juste en indicateur de tendances confirmées ou infirmées par la suite par des mesures silicium.

Conclusion

En conclusion de cette première partie, nous avons posé la problématique des décharges électrostatiques dans la micro-électronique ainsi que la méthodologie pour développer une stratégie de protection au niveau circuit. Une technologie prometteuse, le silicium sur isolant, est en train d'émerger mais sa faiblesse intrinsèque aux agressions ESD nécessite qu'un réseau de protection y soit intégré.

Les solutions en technologie silicium massif bénéficient dans le domaine des ESD de stratégies fiables et déjà bien établies. Une première voie pourra être d'utiliser les réseaux usuels du silicium massif en portage sur technologie partiellement désertée. Cependant, nous verrons que l'oxyde enterré gêne considérablement l'implémentation de solutions et dégrade fortement la robustesse. Ainsi dans le prochain chapitre, nous proposerons une solution possible avec un dispositif de puissance bidirectionnel, original et robuste.

Chapitre II :
Etude de la portabilité du silicium massif vers
les technologies SOI

Introduction

Nous venons de poser les enjeux des effets des ESD sur les technologies silicium massif tant du point de vue de leur importance que des solutions et des approches possibles pour y remédier. Cependant, à mesure que la percée du SOI dans l'industrie de la micro-électronique se fait de plus en plus prégnante, la question se pose de savoir si nous pouvons utiliser les mêmes réseaux ESD et les mêmes dispositifs de protection que ceux utilisés avec le silicium massif pour assurer l'intégrité des circuits sur SOI. Nous verrons tout d'abord dans ce deuxième chapitre, les possibilités d'adaptation de la stratégie du silicium massif sur SOI avec ses facilités, ses invariants et ses continuités. Puis dans un second temps, les fortes limitations qu'engendre le BOX sur le comportement de certains dispositifs de base seront mises en lumière. Enfin pour finir, la justification de la nécessité d'un développement spécifique de la technologie SOI sera proposée par le prisme d'un exemple d'une structure innovante commandable et bidirectionnelle [BEN10].

A. Le SOI, un substrat comme les autres ?

1. Adaptation du design

Dans les parties A et B, nous allons investiguer les réseaux et les dispositifs de protection des circuits sur silicium massif, mais appliqués aux technologies SOI. Nous étudierons ainsi l'adaptabilité de la stratégie ESD classique et les moyens à mettre en œuvre pour qu'elle soit la plus simple et efficace possible et le cas échéant les limitations qui peuvent exister. En effet, pour commencer à développer une stratégie de protection sur une nouvelle technologie, plusieurs voies s'ouvrent aux concepteurs :

- **Le portage dit direct ou aveugle** : On utilise les masques créés pour des technologies silicium massif, mais appliqués à des plaques SOI : aucune retouche de conception, juste une adaptation ou modification au niveau de la micro-fabrication des plaques pour tenir compte du substrat utilisé.

- **Le portage quasi-direct**, où comme précédemment, la stratégie silicium massif est reprise dans son ensemble, seuls des ajustements au niveau du dessin des masques ou de la

taille des dispositifs sont entrepris pour garder les caractéristiques majeures conformes aux cahiers des charges précédents.

- **La refonte totale du réseau** : la nouvelle technologie, trop singulière nécessite une perspective adéquate basée sur ses caractéristiques propres : une nouvelle stratégie est à mettre en place, appuyée par des familles de dispositifs différentes et gérées dans une toute autre organisation.

Du fait de la ressemblance du SOI et du silicium massif, les options 1 et 2 sont envisageables : lorsque l'on observe la physionomie du MOS sur chacune des familles de SOI (voir figure 2.1), la fonctionnalité globale est conservée dans le cas du portage direct.

Mais dans le cas du FDSOI, cette option ruine les stratégies multi-Vt par face arrière : un masque supplémentaire doit être ajouté pour localiser des ouvertures à travers le BOX et contacter le dispositif par la face arrière.

Pour le PDSOI, le MOS à substrat flottant possédant un courant de fuite supérieur d'une décade (en technologie 65nm à GO1 HVT on a $I_{off}=0,2nA$ pour le substrat flottant et $I_{off}=9pA$ pour substrat contacté à $VDD=1,2V$) [LEC11], il est préférable de garder la prise substrat et de modifier son dessin pour contacter la zone sous la grille : un portage quasi-direct semble donc tout indiqué.

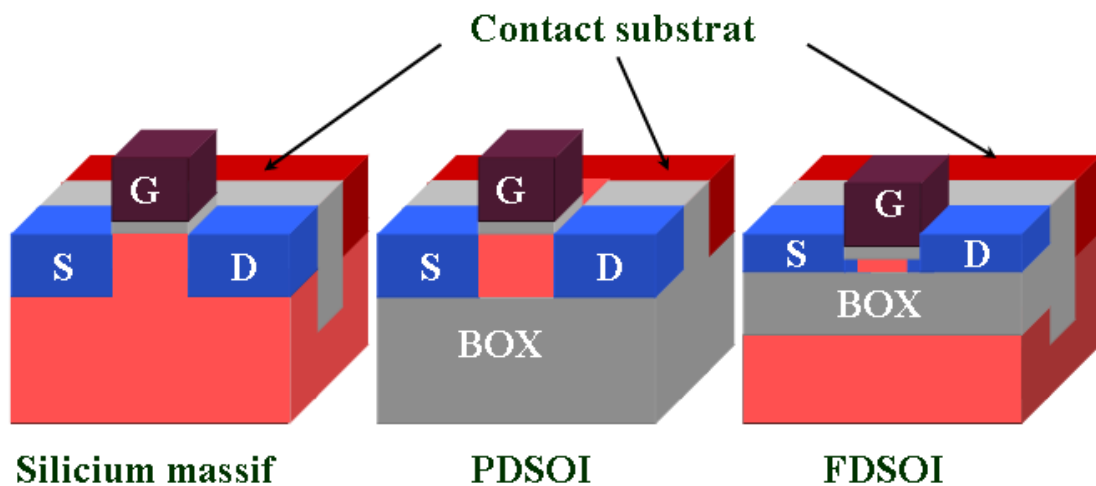


Figure 2. 1. Transistor NMOS a) à prise caisson (silicium massif) b) à substrat contacté (PDSOI) et c) à plan de masse contacté (FDSOI).

Si le MOS « survit » à un portage, il n'en est pas de même pour d'autres dispositifs : le BOX supprimant toute surface de jonction horizontale, les diodes STI mais surtout la structure la plus robuste, le thyristor, ne résistent pas au passage du silicium massif vers le silicium sur isolant. Ajouté à cela que sur FDSOI, le contrôle du potentiel de la zone sous la grille ne se fait plus par contact ohmique mais par influence capacitive, la base du bipolaire

parasite devenant flottante, le GGNMOS n'est plus utilisable en l'état actuel. Ces dispositifs sont certes essentiels mais pas irremplaçables.

En effet pour qu'une stratégie puisse se faire, il faut disposer de deux éléments primordiaux pour un réseau ESD : la diode et le MOSSWI pour réaliser les fonctions d'aiguillage, de commutation et de puissance. La portabilité de la diode ayant déjà été montrée [ENT05], voyons dans quelle condition peut se faire celle du MOSSWI.

2. Comportement du MOSSWI

Le principe du MOSSWI est d'associer un MOSFET avec un circuit de détection pour créer pendant le passage du pic de courant, un chemin de faible impédance non perturbant pour le fonctionnement du circuit à protéger [KER99][KER05]. Son architecture est présentée figure 2.2.

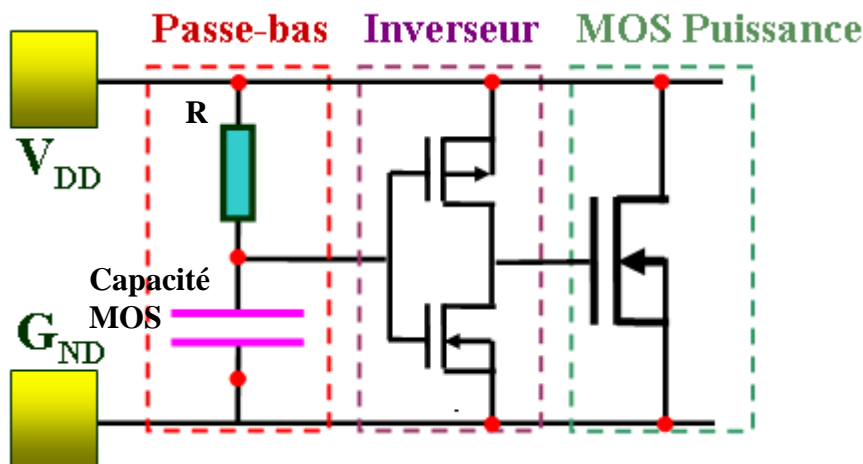


Figure 2. 2. Schéma électrique du MOSSWI entre les rails VDD et GND.

L'ensemble est ainsi constitué d'un filtre passe-bas, d'un inverseur et d'un MOS dit de puissance. Lorsqu'un événement électrique de temps de montée rapide (de l'ordre de la dizaine de nanosecondes) est détecté, le filtre réalisé à l'aide d'une résistance et d'un MOS monté en capacité (grille au point chaud, les autres pôles au potentiel de masse) va voir la tension de son point intermédiaire, liée à l'inverseur CMOS, maintenue au point bas. Lorsque le niveau de tension VDD devient suffisamment important, le PMOS de l'inverseur va transmettre le « 1 » du VDD grâce au point intermédiaire mis à la masse sur la grille de commande du PMOS, ouvrant le MOS de puissance et créant un chemin peu résistif pour évacuer le courant généré par la décharge électrostatique.

A l'inverse, lors du fonctionnement normal, la tension d'alimentation VDD étant constante, la capacité MOS en régime continue va jouer le rôle de circuit ouvert. Ainsi sans courant circulant dans le filtre, l'entrée de l'inverseur se révélant être un « 1 », un « 0 » en sortie, va maintenir le MOS bloqué, n'interférant sur le circuit de cœur alimenté que par le biais de son courant de fuite.

Ce type de stratégie se révèle utile lorsque les dispositifs entre deux rails d'alimentation doivent être protégés en gardant cependant une haute impédance lors du fonctionnement normal du circuit, comme entre les rails VDD et GND.

Le grand avantage du MOSSWI est sa facilité d'implémentation dans les circuits de protections [MIL08]. En effet son dimensionnement peut se faire aisément dès lors que l'on dispose des modèles électriques et capacitifs du MOS et d'une résistance, ainsi que du standard ESD que l'on veut appliquer. Ce dernier en tant que cahier des charges nous indique le courant maximum qu'implique la contrainte. Par exemple, pour du 4kV-HBM, un courant de 2,4A est attendu.

Ainsi avec le modèle électrique de la norme et les modèles des composants, le MOS peut être dimensionné de telle sorte que la protection soit conforme à la fenêtre de conception, c'est-à-dire qu'elle fasse passer les 2,4A sous une tension inférieure à la tension de claquage. En mettant autant de largeur dans le MOS pour faire passer le courant, ou autant de surface dans la capacité MOS pour détecter la décharge dans le bon *tempo*, l'ensemble est réglé pour que le MOS atteigne en régime nominal les 2,4A au dessus de VDD+10% lors d'événements de temps de montée supérieurs à 10ns/A.

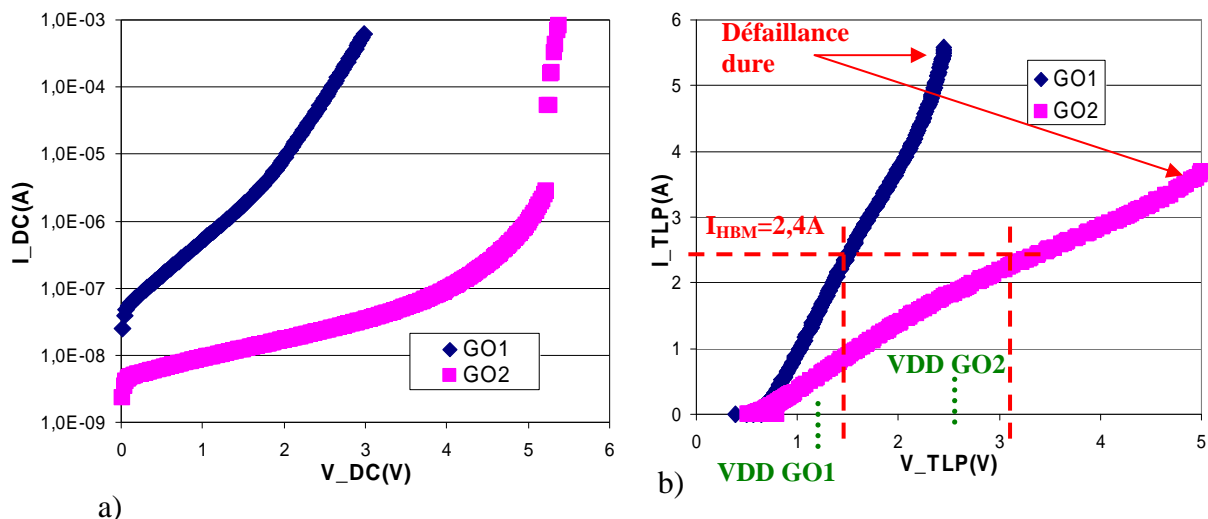


Figure 2. 3. Tests des MOSSWI GO1 et GO2 (a) en mode DC (b) en mode TLP à température ambiante.

Il est ainsi permis d'employer un MOSSWI dans le cadre d'un portage quasi-direct. La figure 2.3 illustre la réussite du portage en PDSOI sur le nœud 65nm. Pour un fonctionnement

en dynamique, un test TLP d'impulsions 100ns a été opéré sur un MOSSWI à NMOS GO1 ($V_{DD}=1,2V$) et GO2 ($V_{DD}=2,5V$). L'ensemble tient un courant de 2,4A sous 1,6V et sous 3V sans casse: le standard 4kV-HBM est respecté sans aucun risque de dégradation des charges à protéger.

Pour un fonctionnement en statique, on constate que pour une tension inférieure à $V_{DD}=1,2V$, la configuration GO1 garde un courant de fuite inférieur au microampère. Mais pour des tensions supérieures à 2V, la fuite du MOSSWI GO1 devient inacceptable : il ne pourra être ainsi utilisé que pour des applications de type GO1. Pour du GO2, afin de ne pas perturber la bonne marche du cœur du circuit, on utilisera un MOSSWI GO2 où la fuite est beaucoup plus basse.

En effet la défaillance dure arrive sous 2,5V à plus de 5A dans le cas du GO1, soit largement au-delà de la fenêtre de conception (figure 2.3 b) : le MOSSWI est dans ce cas, clairement surdimensionné. Sa conception sous modèle, règle le MOS sur l'objectif du standard HBM (ici 4kV) dans le régime de conduction ohmique du MOS, loin des effets thermiques d'échauffement et de la fusion du silicium, non prise en compte dans la simulation temporelle. Non seulement cette marge entre le point de casse et celui du cahier des charges est inutile, mais elle est surtout couteuse en place, quelle que soit la technologie utilisée, en dessinant des MOS à taille imposante comme présenté dans le tableau 2.1.

Technologie	Type	Lg	Largeur MOS	Surface MOS
Silicium Massif	GO1	65nm	3600 μm	1920 μm^2
PDSOI	GO1	60nm	3360 μm	1125 μm^2
	GO2	280nm	3330 μm	2310 μm^2
FDSOI	GO1	60nm	3200 μm	1000 μm^2

Tableau 2. 1. Grandeurs géométriques (type, longueur de grille, largeur et surface) du MOS de puissance sur les différentes technologies pour un standard de 4kV-HBM

Dans ce tableau, y sont représentés, le dimensionnement ainsi que la surface occupée du MOS de puissance obtenus par modèle SPICE, pour tenir le standard 4kV HBM. Le comparatif du seul MOS de puissance sur les technologies silicium massif, silicium sur isolant partiellement déserté et complètement déserté met en évidence une certaine lourdeur du MOS qui tend cependant à se réduire avec le FDSOI. Occupant une largeur de jonction de plus de 3000 μm , la seule place du MOS peut remplir a minima toute la surface d'une Entrée/Sortie dans le seul cas du GO1 et plus de trois E/S pour le GO2 car nécessitant des transistors à plus grande longueur de grille. Or nous avons vu que le MOSSWI GO2 était essentiel pour

certain cas du fait de sa faible fuite. La modularité de l'implantation du dispositif se paye ainsi sur l'encombrement de la structure.

Cependant, le MOS SOI offre une amélioration intéressante quant à la compacité de sa cellule élémentaire : le remplacement des anneaux de gardes bordant le MOS sur silicium massif par juste une prise substrat pour le MOS en PDSOI autorise une réduction significative de la surface totale du dispositif de puissance.

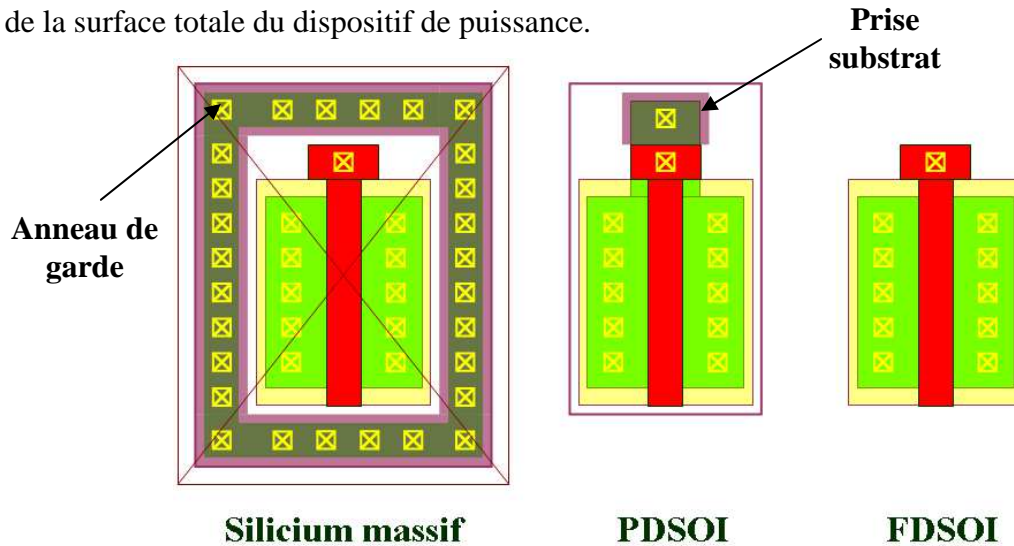


Figure 2. 4. Comparaison des dessins de masque du NMOS sous silicium massif, sous PDSOI et sous FDSOI.

La figure 2.4 compare les dessins de masques d'un NMOS utilisé sur les trois technologies. Afin d'avoir un contrôle électrostatique sur la zone sous la grille, un anneau de garde et une prise substrat sont utilisés et ainsi peuvent éviter d'avoir un caisson flottant. En silicium massif, on limite le phénomène de latch-up, en PDSOI, on améliore le courant de fuite. Mais ceci se traduit par un coût en place, certes moindre en PDSOI.

Mieux dans le cas du FDSOI, comme la stratégie multi-VT n'est pas essentielle au réseau de protection, le MOS s'y retrouve débarrassé de diverses prises ou tranchées contigües. Plus compact, il offre un gain de place intéressant sur une application qui en a terriblement besoin.

3. Contournement du problème de la capacité

Si l'absence de contrôle de la zone sous la grille se révèle être une commodité pour le MOS de puissance, elle limite, pour le silicium complètement déserté, l'emploi de la capacité du circuit de déclenchement. Cette dernière est réalisée la plupart du temps à l'aide de MOS monté en capacité : l'isolant utilisé étant l'oxyde de grille, les bornes de la capacité sont

constituées pour le point haut, de la grille et pour le point bas, de la mise au même potentiel de la source, du drain, et de la prise caisson.

Ainsi, que ce soit en silicium massif ou en PDSOI, le MOS est câblé toujours de la même manière, ses caractéristiques électriques sont donc très similaires car elles ne dépendent que peu du type de substrat mais essentiellement des résistances d'accès liées aux métaux et aux paramètres de l'oxyde.

Pour le FDSOI, la configuration de la capacité MOS est très différente : il n'y a pas de contact ohmique réalisant le contrôle électrique. L'allure C-V est ainsi très largement modifiée comme le montre la figure 2.5, qui propose la comparaison entre la simulation d'un MOS monté en capacité sur silicium massif ou celle sur FDSOI.

Ce changement n'altère pas que la conception des protections ESD mais aussi d'autres applications, comme la capacité de découplage par exemple.

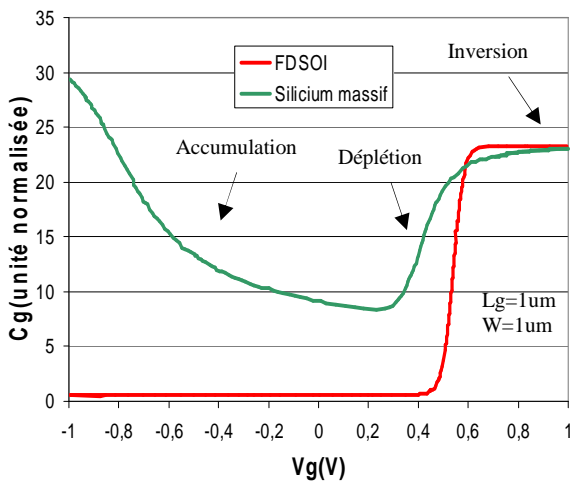


Figure 2. 5. Comparaison par simulation d'une capacité MOS sur SOI à celle sur silicium massif [VAL11].

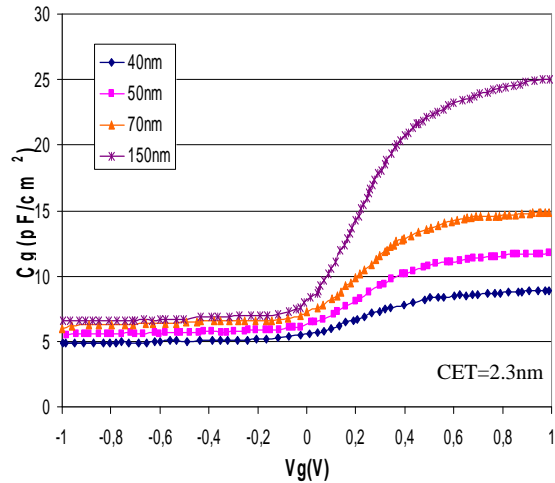


Figure 2. 6. Mesure de capacité sur FDSOI pour différentes longueurs de grille [AKK11].

Sur la courbe figure 2.5, on remarque deux faits majeurs : en accumulation et en déplétion, la capacité du MOS sur SOI est négligeable par rapport à celle sur silicium massif ; en forte inversion, les caractéristiques sont en revanche similaires. Ces points sont des conséquences directes de l'absence de contrôle de la zone sous la grille.

Des mesures ont été effectuées sur des structures MOS à différentes longueurs de grille et viennent confirmer les tendances des simulations. La figure 2.6 montre bien la dégradation de la valeur de la capacité unitaire des MOS sur FDSOI en régime d'accumulation.

En effet, en accumulation, une grande partie de la charge induite par le couplage électrostatique se trouve confinée dans le canal par les jonctions en inverse formées avec la source et le drain, comme cela est illustré sur la figure 2.7. Seule une prise comme en silicium massif permet d'avoir accès à cette zone et d'utiliser toute la surface en regard aux bornes de l'oxyde. La seule capacité possible est donc celle de chevauchement de la grille sur la source et le drain. Cette capacité est pratiquement indépendante de la longueur de grille comme on le constate sur la figure 2.7.

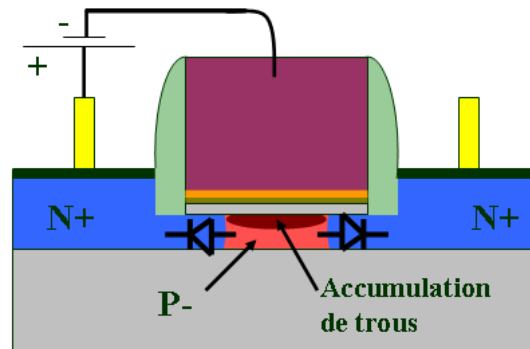


Figure 2. 7. Schéma d'une capacité NMOS sur technologie FDSOI en régime d'accumulation.

En forte inversion, les deux courbes tendent à se confondre car la polarisation crée un canal de porteurs sous la grille. Il y a ainsi continuité de porteurs sous l'isolant et toute la surface de l'oxyde est employée à réaliser la capacité.

Cependant, cette nouvelle limitation de conception n'est pas un point fondamentalement bloquant dans l'élaboration de circuits, et des solutions existent pour contourner le problème ; notamment deux assez simples vont être proposées. La figure 2.8 présente ces deux solutions.

La première solution est l'inversion du type de transistor utilisé. On substitue le NMOS par un PMOS. En effet pour contacter le canal de trous induit par la polarisation de grille, au lieu de disposer de diffusions N+ à côté, on les remplace par les diffusions P+ et assurer un contact électrique et ainsi utiliser la capacité générée par la grille.

Le grand avantage est sa simplicité de portage. Il n'est nulle besoin de remodifier d'instance, il suffit juste, au niveau du *schematic* sous CADENCE, de modifier le type de MOS, nous évitant ainsi de toucher en profondeur le réseau de protection. Le portage quasi-direct en est ainsi facilité.

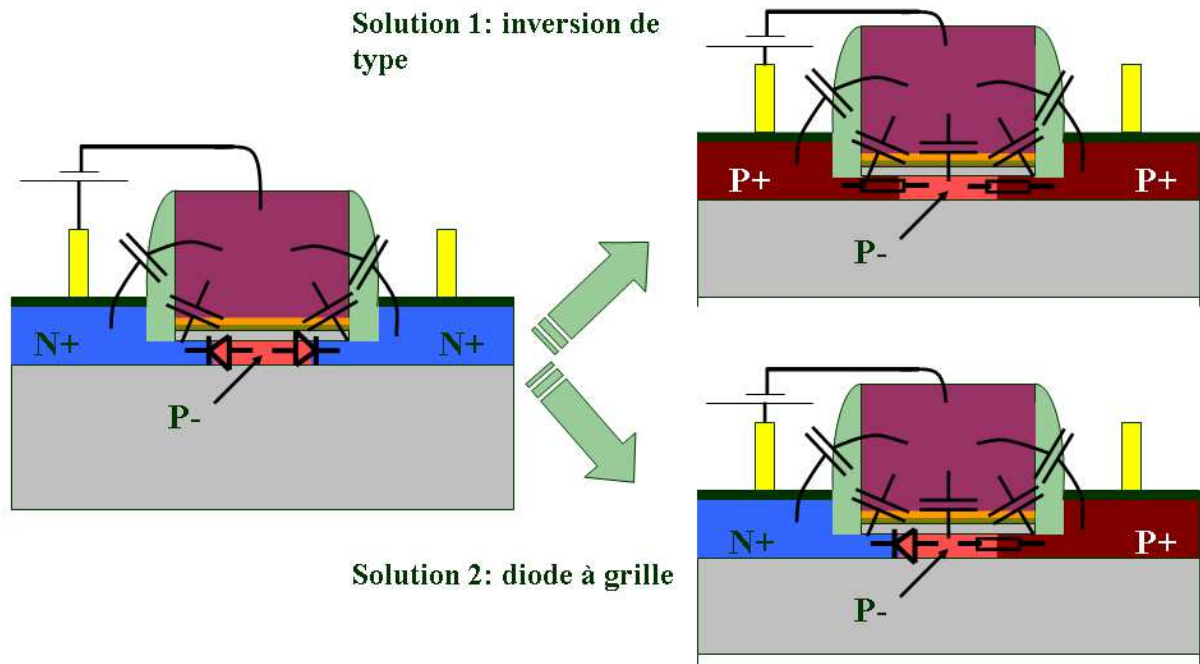


Figure 2. 8: Vue en coupe d'une capacité MOS en FDSOI et présentation des solutions possibles (diode à grille et inversion de type).

Cependant, les inconvénients de cette démarche sont doubles. D'une part le ressaut abrupte créé par le passage de faible à forte inversion conduit à un décalage dans le déclenchement du MOSSWI: à faible V_g , le circuit possède une plus faible capacité ; un événement de temps de montée commencera alors à être détecté lorsqu'il atteindra une amplitude suffisamment importante pour mettre la capacité en forte accumulation et fermer le MOS par le biais de l'inverseur. Tout retard de fermeture du MOS [MER00] est générateur de surtension et ce cas aggrave la faiblesse de la protection.

D'autre part, cette réalisation de capacité ne pourra être mise en œuvre pour des applications qui la ferait opérer dans les différents modes de polarisation de la capacité (inversion, déplétion et accumulation). En effet, un cas similaire au NMOS réapparaît. Pour une polarisation positive sur la grille, c'est un canal d'électrons qui doit se former et se contacter avec des diffusions P+.

Pour cette raison, la solution 2 est introduite en perfectionnement de cette première solution : cette fois, dans le portage quasi-direct, l'emploi à la place du MOS monté en capacité, est remplacé par une diode à grille montée en capacité. Le problème de l'accès à la zone sous la grille est contourné en changeant le type de dopant d'une zone de source ou de drain. Ainsi, que ce soit pour un canal de trous ou un canal d'électrons, le potentiel de la région sous la grille reste toujours contrôlé soit par la cathode de la diode en inversion (canal d'électrons) et soit par l'anode en accumulation (canal de trous).

La diode à grille montée en capacité paraît être la solution la plus efficace pour remédier à cette dégradation de capacité et ainsi réaliser la meilleure capacité en FDSOI. Toutefois, tous les circuits ne sont évidemment pas concernés. Par exemple dans le cas du circuit de déclenchement d'un MOSSWI que nous avons étudié, l'emploi d'un NMOS ne constitue pas un frein à son utilisation (contrairement à l'emploi d'un PMOS dans ce cas).

Mais la diode à grille pourra se révéler utile pour le développement de nouveaux circuits de détection et ainsi offrir aux concepteurs d'application sur FDSOI une plus grande modularité dans l'élaboration de leur produit.

En montrant la faisabilité du MOSSWI, nous disposons maintenant d'une stratégie de protection ESD adaptable du silicium massif sur SOI. De manière générale, il a été vu en PDSOI seulement [ENT06], que pour adapter des bibliothèques d'entrées/ sorties (I/O) pour la protection ESD, les étapes à adopter pour le portage étaient les suivantes :

- suppression des anneaux de gardes qui sur silicium massif, servaient à contrôler les injections de porteurs ;
- substitution des diodes STI devenues inopérantes par des diodes latérales (à grille ou désiliciurées) ;
- modification de l'instance MOS par celle du MOS à substrat contacté ou MOS avec contrôle des plans de masse;
- simulation SPICE du bon fonctionnement électrique de l'ensemble et de la conformité au cahier des charges.

Ajoutons à cela pour le FDSOI, comme actions à faire :

- adaptations des MOS montés en capacités, soit avec la substitution par des diodes à grilles, soit en changeant le type de MOS afin d'avoir un fonctionnement en inversion.

Ce *modus operandi* permet de réaliser des stratégies de réseaux sur silicium sur isolant et d'envisager une protection sur cette technologie grâce au portage quasi-direct. Cependant, nous allons voir dans le prochain paragraphe, l'impact préjudiciable du BOX sur le comportement des dispositifs que ce soit sur la robustesse et la conductivité pour la diode à grille, ou la réduction de la fenêtre de conception pour les MOS utilisés en charge.

Ces effets vont ainsi gêner considérablement l'intégration de la stratégie classique que nous venons de voir, et une solution va être présentée en dernière partie.

B. Les limites du portage

1. Comparatif de la performance des dispositifs

Disposant d'un réseau fonctionnel de protection ESD, intéressons-nous à ses deux caractéristiques principales : la robustesse du dispositif et sa faible influence sur les applications du cœur du circuit.

En ce qui concerne la fuite en courant du dispositif et sa capacité parasite, le FDSOI part avec un avantage certain sur ses concurrents car nous touchons là aux points forts de la technologie. Tout d'abord la fuite, du fait d'une réduction des jonctions ainsi qu'une absence de caisson (remplacé par un dopage naturel) présente des valeurs de courant faible. Par exemple, une diode à grille de 200 μm de largeur en technologie 45nm FDSOI a une valeur de courant en inverse de 5.10^{-11}A et pour un MOS GO1 à $V_g=0\text{V}$ et $V_D=V_{DD}$, le courant de drain est de $3,2 \cdot 10^{-7}\text{A}/\mu\text{m}$. De même pour la capacité parasite, la limitation de la surface des jonctions du fait de la faible épaisseur de silicium réduit sa valeur.

Il a même été montré [AKK10] que, jusqu'à des longueurs de grille de 150nm, la composante majeure de la valeur de capacité parasite d'un MOS FDSOI ne se situe plus dans la capacité générée par le BOX ni dans la capacité des espaceurs (fringe) mais dans le chevauchement de la grille sur les sources et drains (Overlap Capacitance). En résumé, les dispositifs FDSOI de manière générale possèdent les caractéristiques nécessaires pour fonctionner dans un réseau de protection sans perturber sensiblement le signal.

	PDSOI 65nm	Silicium massif 65nm	FDSOI 45nm	Silicium massif 45nm
Diode à grille	It2 (mA/μm)	It2 (mA/μm)	It2 (mA/μm)	It2 (mA/μm)
100 μm	7	16,1	3,4	11,1
200μm	6.6	17,1	3,1	10
NMOS				
GO1 (W=25μm)	~1,05	~1,82	~0,63	~1,9

Tableau 2. 2: Comparatif de la robustesse sur FDSOI, PDSOI et silicium massif de la diode à grille et du NMOS.

Toutefois, la robustesse ne semble pas suivre cette amélioration des performances dans le portage. Le tableau 2.2 présente un comparatif du courant maximum accepté par une diode à grille lors d'un test TLP, sur plusieurs nœuds technologiques.

Pour concevoir un réseau, ces dispositifs de puissance sont dimensionnés contrairement au MOSSWI, sur la base de tests TLP et surtout sur leurs mesures de robustesse. La valeur $It_2/\mu\text{m}$ ou facteur de mérite donne, connaissant le courant maximum à atteindre, la largeur nécessaire pour que le dispositif soit suffisamment robuste.

Il permet ainsi de prendre toute la mesure des effets transitoires et des effets thermiques d'une décharge sur le dispositif, ce qu'un modèle SPICE ne peut pas prendre en compte. Ainsi il est intéressant de constater que la robustesse lors d'un portage direct est divisée par deux lorsque l'on passe du silicium massif au silicium partiellement déserté et par trois vers du silicium complètement déserté.

Cette réduction de robustesse a de larges répercussions sur la conception de réseaux. La chute de la valeur du courant maximum par la largeur de jonction nécessite en compensation d'augmenter la taille du dispositif afin de tenir le seuil de robustesse du standard demandé.

En exemple, pour le HBM, le seuil de robustesse est de 4kV soit un courant de 2,4A maximum. Dans ce cas, en fonction de l' It_2 , la diode à grille du PDSOI doit avoir une largeur double par rapport à celle du silicium massif, avec une largeur de 390 μm au lieu de 180 μm . Dans le cas du FDSOI, cela se révèle problématique de part l'ampleur de la dégradation.

Cette perte engendre une augmentation de surface d'un facteur 3 alors que la tendance est à la diminution de la taille des dispositifs du fait des considérations économiques et du coût du silicium. Dans un environnement ultra-concurrentiel, ce fait amoindrit la force d'innovation de la technologie et nécessite donc une analyse pour trouver une alternative.

Cette diminution de performance des diodes, ainsi que tout autre dispositif à conduction volumique s'explique par la dégradation de deux paramètres : la chute de la conductivité électrique d'une part et la limitation du volume de dissipation thermique d'autre part.

La chute de conductivité est mise en évidence lors de simulations ACS comparant la courbe I-V d'une diode à grille sur PDSOI avec celle sur FDSOI. A dessin de masque similaire, on voit sur la figure 2.9 que l'épaisseur de silicium réduite au septième ($T_{\text{Si}}=55\text{nm}$ pour le PDSOI contre $T_{\text{Si}}=8\text{nm}$) implique la dégradation de conductivité et donc une forte chute de tension. Sur une diode de 100 μm , cela équivaut à l'ajout d'une résistance de 1,6 Ohm. De plus, ce comportement se trouve être pénalisant à forte injection.

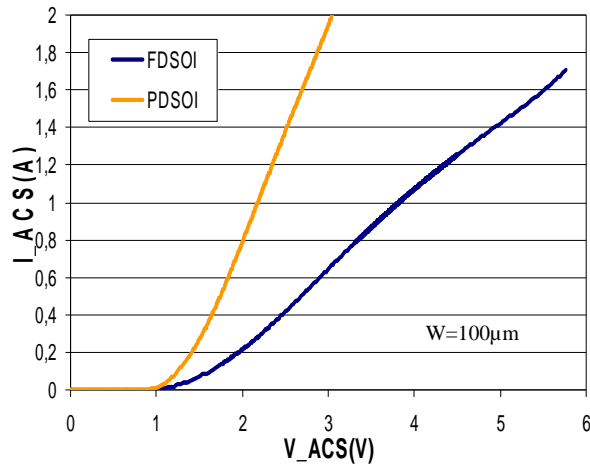


Figure 2. 9 Simulation ACS de la caractéristique I-V d'une diode à grille sur PDSOI et FDSOI.

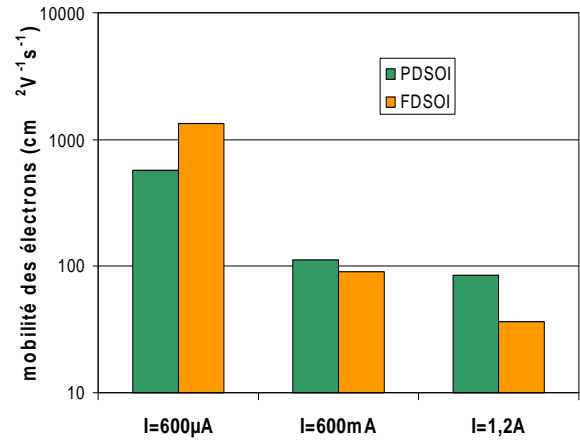


Figure 2. 10. Mobilité simulée des électrons dans le canal à différents courants sur PDSOI et FDSOI.

En effet, lorsque le courant devient important, dans la zone caisson de la diode P+/PWELL/N+ (ou P+/P intrinsèque/N+ dans le cas du FDSOI), les populations d'électrons et de trous augmentent au point d'être équivalentes à celles des zones P+ et N+ [ENT06]. L'effet sur la mobilité est désastreux. Par exemple, pour les électrons, on voit figure 2.10, qu'à faible injection, du fait du faible dopage, la mobilité sur FDSOI est meilleure que sur PDSOI (autour de $1330\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ pour le FDSOI au lieu de $\sim 570\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ pour le PDSOI). Mais à mesure que l'injection devient plus grande, il y a une forte dégradation de la mobilité du fait de la trop grande densité de porteurs dans le petit volume de silicium actif sous la grille ($40\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ pour le FDSOI et $90\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ pour le PDSOI).

Pour résumer, la diminution de l'épaisseur de silicium actif engendre une augmentation de la résistivité des dispositifs à forte injection. Par effet Joule, la chaleur générée sera ainsi plus importante. Les possibilités de dissipation thermique deviennent ainsi primordiales.

2. Impact thermique du BOX

L'autre variation suscitant une dégradation de l'It2 est la réduction du volume de dissipation thermique en raison de la présence d'un oxyde enterré. Le FDSOI et le PDSOI employés dans notre cas possèdent un oxyde enterré de 150nm mais diffèrent par l'épaisseur de silicium actif, respectivement de 8nm à 55nm. Le volume de silicium disponible est ainsi plus petit pour dissiper l'énergie de la décharge par effet Joule.

De fait, les valeurs de conduction thermique deviennent dans une contrainte ESD de première importance. Malheureusement, en statique, il a été mis en évidence [YAN02] [MAZ09] que : la résistance thermique du substrat SOI est beaucoup plus importante que dans le silicium (figure 2.11 et 2.12).

Certes celle-ci est fonction de l'épaisseur du BOX et peut donc diminuer pour des BOX minces, mais une résistance thermique d'interface empêche de descendre en dessous de $2 \times 10^{-8} \text{ m}^2 \text{ KW}^{-1}$, indépendamment du procédé de fabrication [YAN02]. Dans l'équation 18 extraite de la courbe 2.9, on retrouve :

$$R_f = R_i + \frac{d_f}{\lambda_i} \quad (18)$$

où R_f est la résistance thermique par unité de longueur, R_i la résistance d'interface, λ_i la conductivité intrinsèque thermique et d_f l'épaisseur de SiO_2 .

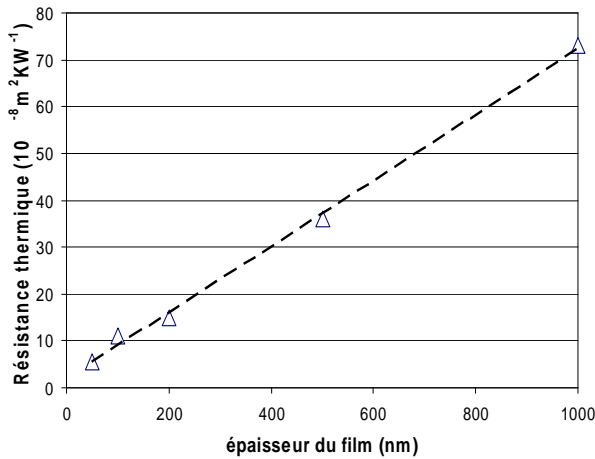


Figure 2. 11. Résistance thermique du BOX à différentes épaisseurs calculées par la méthode des 3ω [YAN02].

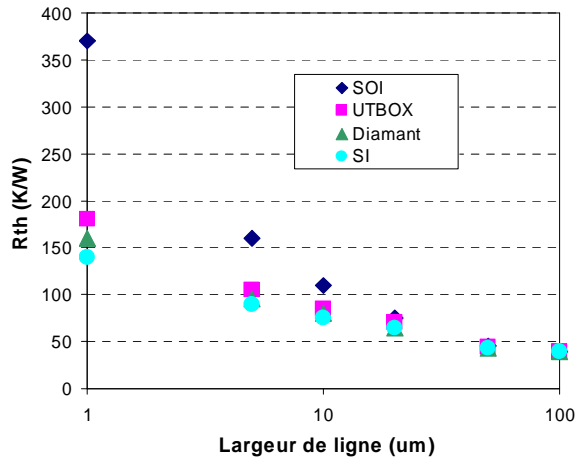


Figure 2. 12. Résistance thermique de volume de différents substrats [MAZ09].

Ainsi, l'onde de chaleur est limitée dans sa propagation confinant la chaleur dans la zone de silicium active. Seuls les contacts et la grille peuvent faire office d'ailettes de refroidissement : [ENT06] évalue dans des simulations 2D la dissipation par les contacts de 30 % pour la première rangée, 15% pour la seconde rangée de contacts mais de seulement 1% par le BOX, le reste de la puissance thermique servant à l'élévation de température. A mesure que les contacts se rapprochent, l'impact thermique du substrat sous le dispositif devient prépondérant comme montré expérimentalement dans [MAZ09] (voir figure 2.12), avec une ligne chauffante à largeur variable.

Sans aller vers des solutions fort éloignées avec des substrats faits de matériaux à plus fortes dissipations thermiques comme le diamant, l'introduction d'un BOX mince (UTBOX

sur la figure 2.12) peut être envisagée pour améliorer la dissipation thermique et donc la tenue en température du dispositif. L'avantage du BOX mince a de plus été démontré en termes d'amélioration du contrôle électrostatique dans les dispositifs FDSOI [GAL07] et son emploi est sérieusement envisagé sur les nœuds technologiques 28nm et en deçà.

Dans ce sens, une comparaison expérimentale en 45nm FDSOI a été faite entre une diode à grille sur BOX « épais » 150nm et une autre diode sur BOX « mince » 10nm, toujours avec un testeur TLP 100ns. Les résultats sont présentés sur la figure 2.13.

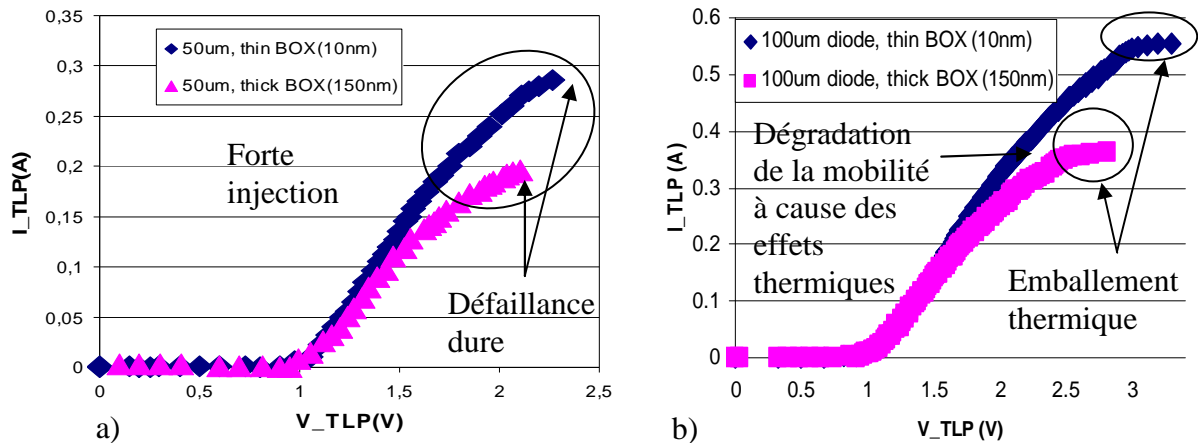


Figure 2. 13. Courbe I-V d'une diode à grille sur BOX épais et BOX mince à a) $W=50\mu\text{m}$ et b) $W=100\mu\text{m}$.

Chacune des courbes présente l'allure caractéristique des diodes à grille [WAN00] : comportement redresseur, effet de la grille à forte injection comme vu précédemment et emballement thermique avant destruction. En fait, peu avant la défaillance par filament, la résistivité augmente du fait de l'augmentation de température. Ainsi l'emballement thermique s'y produit car il s'autoalimente : augmentation de température induit une dégradation de la conductivité puis une augmentation de la chaleur générée par effet Joule puis augmentation de la température [AMER03].

Mais entre les deux diodes des différences surviennent : d'abord le gain en robustesse que présente le BOX mince par rapport au BOX épais ; ensuite la chute de conductivité survenant plus tôt dans le cas du BOX épais. Cette dernière est la conséquence directe de la problématique de l'évacuation de la chaleur.

Si nous observons dans une simulation de diode à grille (conforme aux procédés de fabrication exposés au chapitre I), la température dans le silicium actif et la mobilité dans le canal à forte injection, nous pouvons voir comment ces grandeurs sont modifiées suivant l'épaisseur de l'oxyde enterré.

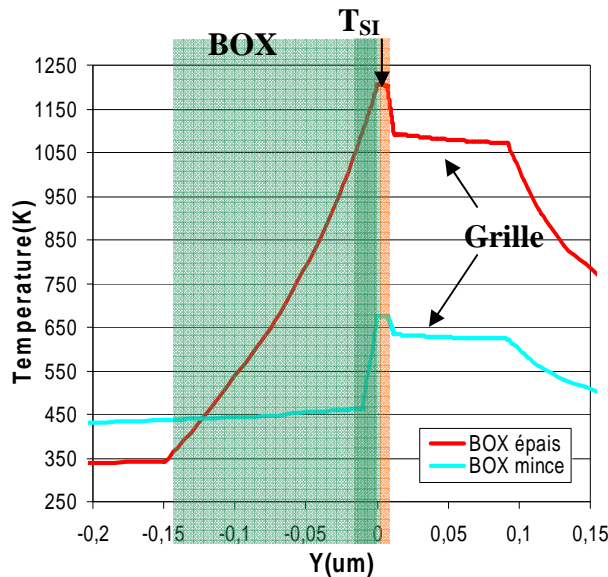


Figure 2. 14. Courbe de la température lors d'une simulation ACS à $I=0.5A$ sur une diode à grille sur BOX mince/épais.

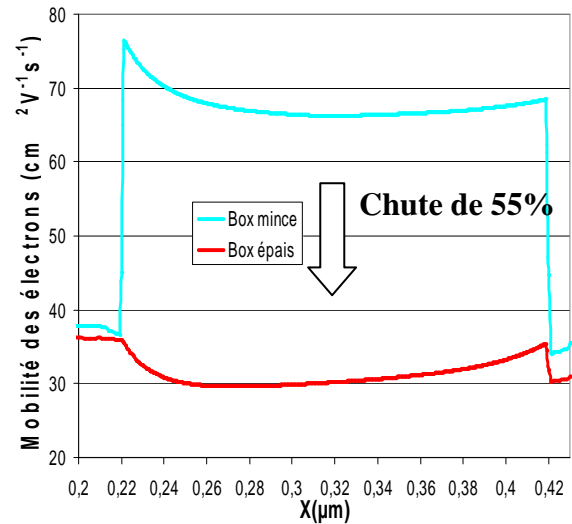


Figure 2. 15. Mobilité des électrons le long de la zone intrinsèque durant une simulation ACS à $I=0.5A$ sur BOX mince/épais.

Sur la courbe figure 2.14, les zones de SiO_2 et de Si se trouvent reconnaissable par la pente de la courbe de température : le SiO_2 ayant une grande résistance thermique, les gradients au niveau du BOX $(-0,15 ; 0)$ ou $(-0,01 ; 0)$ et de l'oxyde de grille sont plus importants que dans le reste du dispositif. Ainsi lorsqu'un point chaud apparaît dans le silicium actif, la température de 350K en deçà du BOX épais est très peu différente des conditions aux limites de 300K. En revanche, le BOX mince présente une température plus élevée (460K). La conséquence majeure est que dans la couche de silicium actif $(0 ; 0,008)$ la température est deux fois moins importante soit 670K au lieu de 1250K.

Cette élévation de température à courant constant a pour conséquence directe de modifier la mobilité dans le canal. En effet, la mobilité variant en sens inverse de la température, elle chute dès que celle-ci augmente. Ainsi en regard de la figure 2.14, la courbe 2.15 présente la mobilité dans le canal à même point de simulation. Comme dans la courbe précédente, la courbe relative au BOX épais présente de fortes dégradations sur la mobilité ($\sim 55\%$) et donc sur la conductivité.

Pour résumer, la limitation d'évacuation thermique engendre pour une même contrainte, une élévation de température plus forte, une chute de la mobilité et de la conductivité plus importante, et enfin une dégradation de la robustesse. Si nous comparons la robustesse sur plusieurs technologies comme dans les tableaux 2.2 et 2.3, nous constatons que le $It_2 / \mu m$ est divisé par 3 en passant du silicium massif au FDSOI BOX épais ; le BOX mince par contre semble mieux résister au portage.

Diode à grille	Box mince (10nm)		Box épais (150nm)	
	It2 (A)	It2/W (mA/ μ m)	It2 (A)	It2/W (mA/ μ m)
50 μ m	0,26	5,2	0,17	3,4
100 μ m	0,50	5,0	0,36	3,6
200 μ m	1,05	5,2	0,71	3,55

Tableau 2. 3. Comparatif de l'It2/ μ m entre des diodes à grille sur BOX épais et sur BOX mince en technologie 45nm FDSOI.

Si on compare les deux types de BOX, on remarque un gain conséquent d'un facteur 1.7 sur le courant maximum toléré par le dispositif avant destruction, pour une réduction par 15 de l'épaisseur du BOX. En dépit d'un oxyde enterré très mince, les performances du silicium massif ne sont pas retrouvées car si la résistance thermique de volume est diminuée, il reste une résistance thermique de contact inhérente à l'emploi du silicium sur isolant, qui devient prépondérante à faible volume [YAN02].

Une solution intéressante serait de localement enlever le silicium de surface et le SiO₂ pour disposer les protections ESD dans le silicium massif : il s'agit de l'intégration « hybride » FDSOI/ silicium Massif. Dans le silicium massif, nous choisissons ainsi les dispositifs de puissance nécessitant de la dissipation thermique et sur le film mince, nous disposons tous les éléments de calcul ou de mémoire pour profiter de la faible consommation et de la vitesse de commutation de la technologie SOI.

Pour mettre en œuvre ce procédé de fabrication, une étape supplémentaire d'ouverture de silicium et de BOX a été ajoutée avec un masque dédié, les masques des précédentes diodes à grille sur des substrats SOI ont été conservés. La figure 2.16 présente la réalisation technologique de cette méthode.

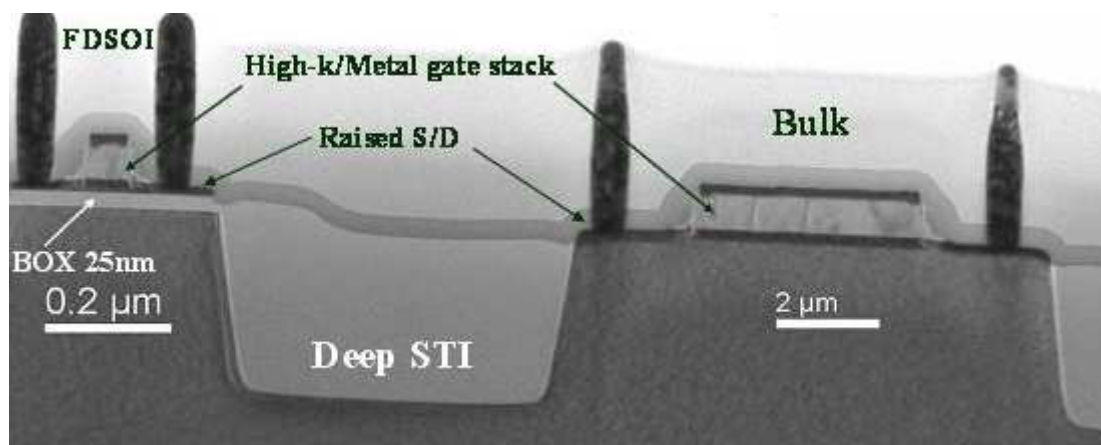


Figure 2. 16. Vue TEM en coupe de la co-intégration hybride FDSOI/ Silicium massif [FEN09].

La figure 2.17 compare la robustesse ($It_2/\mu m$) de diodes à grille des différentes technologies (FDSOI, Silicium massif, Ouverture de BOX) ainsi que pour différentes configurations (largeur et nombre de doigts). Ces structures ont des profondeurs de jonctions différentes du silicium massif car elles utilisent les implantations de type FDSOI au niveau des sources et drains mais du point de vue de leurs robustesses, des structures avec ouverture de BOX gardent des performances équivalentes au silicium massif. Enfin, on constate aussi que la géométrie (variation du nombre de doigts ou W) n'a quasiment aucune influence sur le facteur de mérite $It_2/\mu m$ et qu'il n'est pas possible de l'améliorer par ce biais-là.

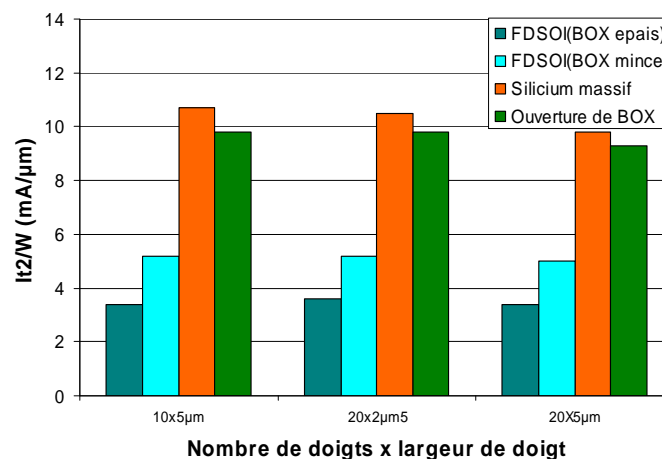


Figure 2. 17. Comparatif de l' It_2/W d'une diode à grille sur plusieurs technologies.

L'impact néfaste du BOX épais sur la robustesse des protections est ainsi clairement montré, la dégradation se faisant par effet thermique sur la conductivité et sur le déclenchement plus précoce de l'emballement thermique.

Cependant si au niveau des protections et de leurs robustesses, une solution peut être esquissée pour contourner les effets négatifs de l'oxyde enterré, pour les charges à protéger, un autre effet préjudiciable va être mis en évidence expérimentalement.

3. Réduction de la fenêtre de design

Un élément supplémentaire fondamental de conception de circuits destinés à la protection contre les décharges électrostatiques est la fenêtre de conception. Celle-ci va définir le gabarit adéquat dans lequel vont s'insérer les caractéristiques de la protection afin d'assurer efficacement l'intégrité du circuit. Nous avons vu au chapitre I, que la limite basse est définie par la tension $V_{DD}+10\%$ et que la limite haute est fixée par le V_{TI} , soit la tension de claquage, assimilée ici à la tension de déclenchement du bipolaire parasite (figure 2.18).

Le tableau 2.4, établit un comparatif des différents V_{T1} entre FDSOI et silicium massif sur 45nm et la figure 2.19 entre 65nm PDSOI et le silicium massif. Le choix du NMOS a été préféré car il est l'élément classique dit de « charge » à protéger et comparé au PMOS, possède des tensions de déclenchements supérieures [SAL98], le transistor N se révélant donc être le pire cas.

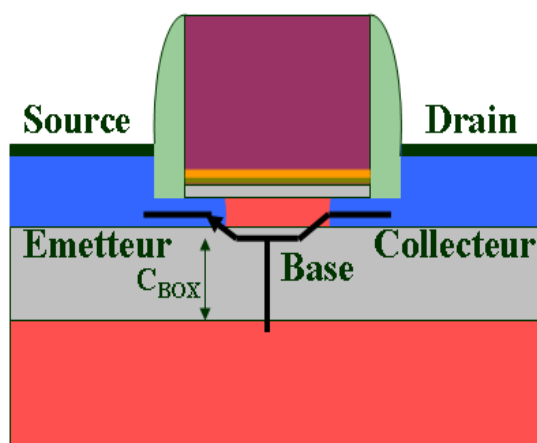


Figure 2. 18. Présentation du bipolaire parasite sur un NMOS en FDSOI.

Dans le cas du FDSOI en technologie 45nm (tableau 2.4), quelle que soit l'épaisseur de l'oxyde enterré, on observe une chute du V_{t1} : le pire cas se situe au niveau du BOX épais où l'on observe une chute de près de 0,4V sur le V_{T1} . Etant donné que le VDD sur cette technologie est mis à 1,2V, la fenêtre de déclenchement se réduit de 20% entre les deux extrémités.

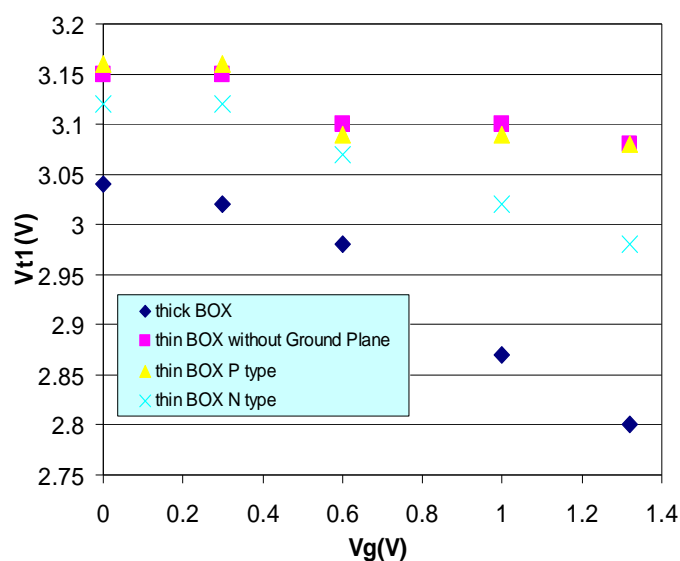


Figure 2. 19. Evolution du V_{T1} en fonction de V_g pour différents types de BOX et différents plans de masse.

Tension Grille (V_g)	0V	VDD/2	VDD
Silicium massif			
20Å EOT	3,74	3,22	3,21
32Å EOT	6,68	5,97	5,66
BOX épais			
20Å EOT	3,04	2,98	2,8
32Å EOT	3,35		3,2
BOX mince			
20Å EOT	3,15	3,09	3,08
32Å EOT	3,7		3,5

Tableau 2. 4. Comparatif du V_{T1} sur silicium massif et sur FDSOI en technologie 45nm.

Ceci signifie qu'un effort conséquent va devoir être mis en œuvre sur le déclenchement des protections ainsi que sur leurs Ron afin que la protection soit efficace. Le même raisonnement peut aussi être fait pour les MOS de type GO2 (32Å EOT), où l'on constate aussi une forte chute du V_{T1} (à $V_g=0$, nous avons 3,35V au lieu de 6,68V)

Si l'on regarde plus en détail, la variation du V_{T1} en fonction de la tension de grille sur différentes options technologiques du FDSOI (figure 2.19), on remarque une limitation de sa chute par l'emploi du BOX mince soit avec un plan de masse de type P, soit en laissant le dopage natif sous l'oxyde. L'emploi d'un plan de masse N se situe à mi-chemin des deux cas extrêmes. On voit ici que la capacité formée par le BOX et le contrôle électrostatique qu'elle permet sur le canal, influence la variation du V_{t1} .

En effet ce déclenchement se fait par l'élément parasite [TRE04] qu'est le bipolaire du MOS : formé dans un NMOS par les source/drain N et séparés par une base P intrinsèque comme sur la figure 2.18, ce dernier se déclenche dès lors que les charges accumulées dans la base sont suffisantes pour créer un effet bipolaire. Une base courte, flottante, et peu dopée favorise la mise en œuvre du bipolaire parasite.

Sur silicium massif, le contrôle de la base se fait par un contact ohmique à travers la prise substrat, tandis que sur FDSOI, la base est laissée flottante, et le couplage électrostatique par la capacité se révèle moins efficace, car il autorise notamment par les lignes de champ électrostatique un couplage latéral [GAL07].

En ce sens, le BOX mince a été introduit afin de limiter cet effet avec plus ou moins d'efficacité : en fonction du dopage, la capacité équivalente aura une valeur différente. Ainsi pour un dopage de type N, une inversion des porteurs étant nécessaire, l'épaisseur effective de l'isolant est plus grande et la valeur de capacité plus petite. Le couplage se trouve moins efficace et donc le cas se révèle défavorable.

Pour un comparatif silicium massif/PDSOI sur 65nm, le constat est similaire au précédent cas. Sur la figure 2.20, on constate en comparant le V_{T1} des technologies silicium massif et PDSOI que le V_{t1} est très largement inférieur dans le cas du PDSOI.

Toutefois, il est ici plus difficile de faire une comparaison par rapport au FDSOI car d'une part les dessins de masques des structures testées diffèrent fortement d'une technologie à l'autre : pour le FDSOI, en effet nous avons pu faire des expérimentations sur des dispositifs dessinés avec les mêmes masques que sur silicium massif ; d'autre part, du fait de son application commerciale, de nombreuses variations sur les procédés de fabrication ont été effectuées, imposant un trop large panel d'options technologiques pour notre étude.

Par exemple, la comparaison d'un GO1 1,2V PDSOI, peut-elle se faire avec un GO1 2V5 silicium massif, ou serait-elle adéquat avec GO1 1V8 silicium massif à prise abutée ?

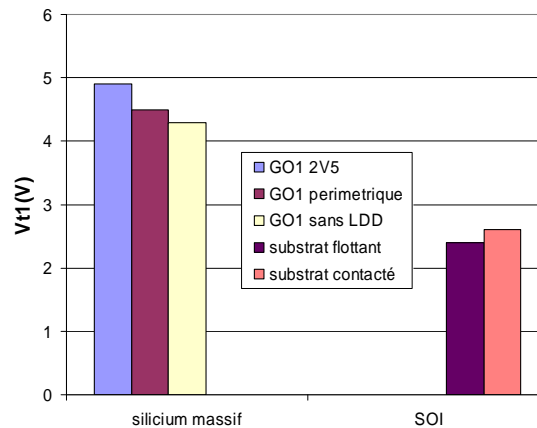


Figure 2. 20. Comparatif du V_{TI} entre le PDSOI et le silicium massif à différentes options technologiques du nœud 65nm.

Cependant, en regardant en tendance le comparatif de V_{TI} sur 65nm sur la figure 2.20, nous aboutissons aux mêmes conclusions que sur SOI complètement déserté : l'emploi du film mince sur un oxyde se révèle ici pénalisant non plus pour ses effets thermiques mais pour son impact électrostatique sur le bipolaire parasite. **Son effet deviendra sur les prochains nœuds pénalisant pour la conception de protection à déclenchement efficace.**

Dans cette partie, nous venons de mettre en évidence que l'oxyde enterré est un frein à l'intégration de stratégies ESD sur SOI par la dégradation de la robustesse et par la réduction de la fenêtre de conception ; si l'ouverture de BOX se révèle être une solution pour améliorer la robustesse, la réduction de la fenêtre de conception va nécessiter de nouvelles voies d'exploration, notamment des dispositifs à plus basse tension de déclenchement et à meilleure dissipation thermique.

Dès à présent, nous allons présenter la réalisation sur PDSOI, d'une topologie innovante [BEN10] afin de pallier les défauts inhérents du SOI de dissipation thermique. En effet, à la manière de ce qui a été fait sur silicium massif [GALY08], nous allons passer d'une structure unidirectionnelle commandable simple à une structure bidirectionnelle dont les volumes de dissipation thermique sont mis en commun.

C. Exemple de solution d'adaptation du thyristor en PDSOI

1. Le thyristor (SCR)

Le thyristor offre un exemple intéressant de dispositif de puissance à la fois aisément commandable et efficace. Commandable, il l'est par l'emploi de deux gâchettes qui par injection de courant permettent d'ouvrir la structure avant d'atteindre la tension d'avalanche autour de 12V en technologie CMOS 45nm [JEZ11]. Et efficace, car le passage du courant contrairement au MOSSWI se fait en profondeur du silicium sous les STI et non en surface, atteignant des valeurs de courant de casse très élevées. Par exemple, le facteur de mérite $It_2 / \mu\text{m}$ peut atteindre 50mA/ μm pour la technologie 45nm sur silicium massif.

Mais à la vue de la topologie du thyristor présenté au chapitre I, ce dernier ne peut marcher en PDSOI, pour les mêmes raisons que pour la diode STI. Pour réaliser une alternance P+/NWELL/PWELL/N+, une configuration a été introduite pour faire fonctionner le SCR (Silicon Controlled Rectifier) en SOI. Son schéma est présenté figure 2.21.

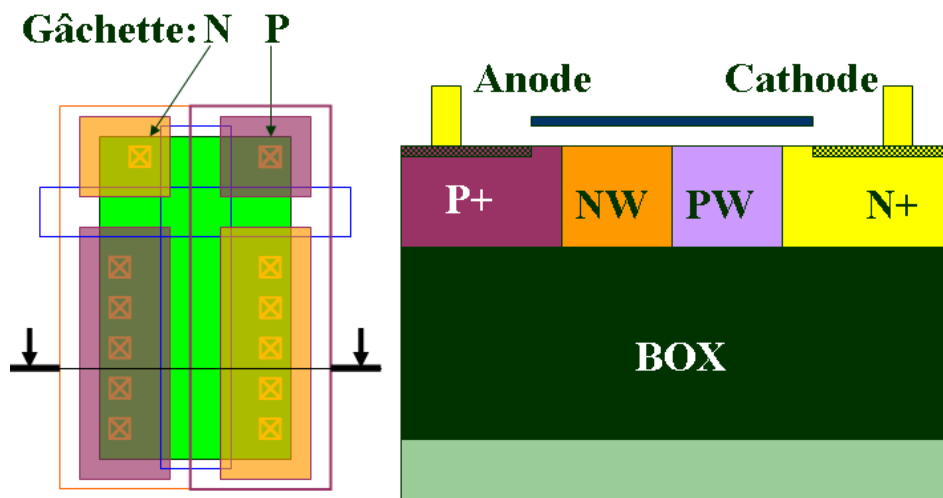


Figure 2. 21. Dessin des masques d'un thyristor en SOI et vue technologique associée

Dans ce nouveau dessin, les jonctions sont maintenant verticales et la zone de séparation entre l'anode et la cathode précédemment faite par STI ou par grille, utilisera cette fois-ci un masque d'anti-siliciure qui va venir protéger la zone entre les contacts afin d'éviter un court-circuit lié à la siliciuration totale de l'ensemble. Les gâchettes sont repositionnées latéralement afin d'assurer le contrôle de la structure.

En 2007, [MAR07] a exposé un test de cette structure et l'a comparé à d'autres dispositifs sur quelques technologies. Le tableau 2.5 reprend ses valeurs.

Technologie	Robustesse It2 (mA/μm)	
	Diodes	Thyristors
Silicium massif		
130nm	50	55
65nm	57	44
PDSOI		
130nm	13,5	14
65nm	10,5	10,5

Tableau 2. 5. Comparaison de l'It2/μm de diodes et thyristors obtenus par la société Sarnoff sur différentes technologies [MAR07].

Il est à noter que la largeur de jonction prise en compte pour le calcul de l'It2 est celle juste comprise entre l'anode et la cathode, et excluant donc la zone comprise entre les gâchettes. Cette largeur du dispositif élémentaire multipliée par le nombre de doigts forme la largeur totale. Dans le tableau 2.5, les tendances vues sur nos dispositifs se retrouvent avec toujours une chute de robustesse lors du passage du silicium massif à SOI. De plus, nous remarquons que, outre la dégradation engendrée par le changement du nœud technologique de 130nm à 65nm, les performances entre les robustesses des diodes et thyristors sont très proches.

Cependant le thyristor garde l'avantage de la commutabilité. Celle-ci se règle suivant plusieurs grandeurs soit par l'ajout d'un dispositif supplémentaire [MER05] ou soit par un élément subsidiaire comme une grille [ENTR06]. Mais au niveau de l'instance élémentaire, la distance significative reste la distance anode à cathode (DAC) qui en ajustant le gain des bipolaires influe sur le déclenchement. Ainsi il nous a semblé tout indiqué d'essayer d'améliorer les performances de ce dispositif en l'état actuel afin de disposer d'une protection à la fois robuste et commandable pour les réseaux ESD sur SOI.

2. Le Principe du triac

La stratégie qui sous-tend l'amélioration du dispositif est celle d'optimiser l'évacuation de la chaleur. Ainsi l'évacuation par le bas, c'est-à-dire par l'oxyde enterré étant difficilement possible ou bien plus dispendieuse (ajout d'un masque d'ouverture du BOX), une solution simple et naturelle nous amène à exploiter l'optimisation latérale des dispositifs.

Généralement, le STI borde toutes structures afin d'assurer une isolation électrique et par la même occasion thermique. Ainsi pour exploiter une dissipation latérale, il faut privilégier le silicium aux alentours du point chaud. Ceci ne se réalise que lorsque l'on fusionne deux dispositifs et qu'ils partagent le même volume de dissipation : quand l'un conduit le courant et génère un excédent de chaleur, l'autre bloqué sert de radiateur pour évacuer l'énergie.

Pour que cela soit possible, il faut une structure possédant un axe de symétrie. Pour le thyristor, en ajoutant un caisson P entre le caisson N et la diffusion P+, on obtient une structure symétrique pour les caissons et antisymétriques pour les diffusions N+/P+. Ainsi, en les disposant en tête bêche, on peut former un triac. La figure 2.22 présente la fusion réalisée.

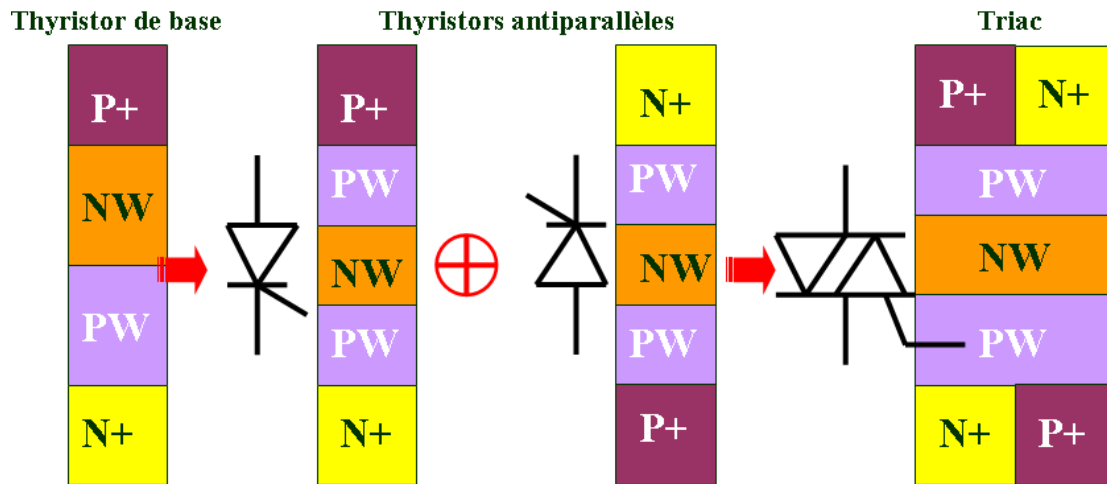


Figure 2. 22. Principe d'une structure bidirectionnelle commandable, optimisant la dissipation latérale.

Dans la nouvelle topologie, les diffusions N et P de l'anode et de la cathode sont court-circuitées par le siliciure mais un masque vient protéger les caissons. Etant donné que les gâchettes P sont maintenant contrôlées par les diffusions P+ des anodes et cathodes, latéralement on utilise une prise N pour réaliser une gâchette de commande N.

Cette structure a donné lieu à un brevet [BEN10]. Pour valider la démarche, des dispositifs ont été dessinés en 65nm PDSOI puis testés en mode DC ainsi qu'en mode TLP 100ns. La figure 2.23 et le tableau 2.6 présentent les grandeurs caractéristiques évaluées et les dispositifs testés.

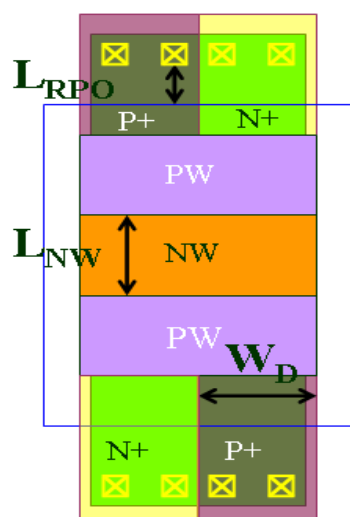


Figure 2. 23. Schéma et grandeurs caractéristiques de la structure.

Unité en μm	L_{NW}	L_{RPO}	W_D	W_{TOTAL}
Triac 1	0,18	0,2	6	72
Triac 2	0,22	0,15	6	72
Triac 3	0,22	0,2	6	72
Triac 4	0,22	0,2	4	72

Tableau 2. 6. Variations sur les longueurs significatives des structures testées.

Le mode DC

La figure 2.24 présente les courbes I-V des quatre triacs décrits dans le tableau 2.6, ainsi que les valeurs de la tension de déclenchement V_{T1} du thyristor extraites des courbes DC.

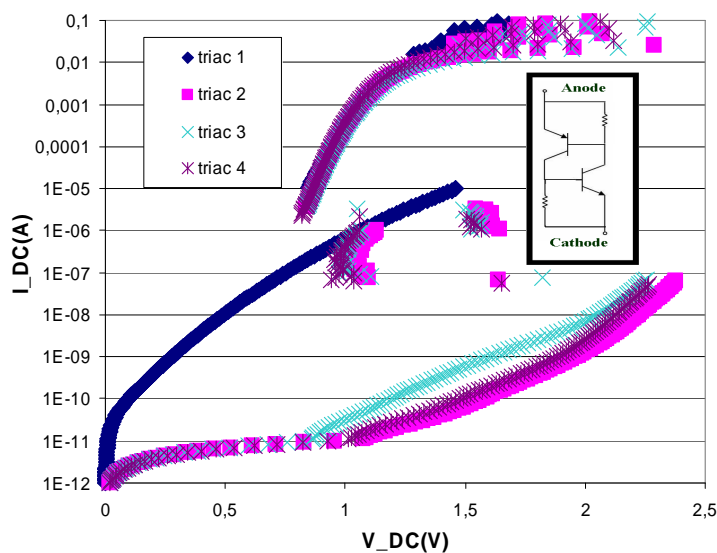


Figure 2. 24. Courbe I-V des triacs en DC avec extraction du V_{T1} .

	V_{T1} (V)
Triac 1	1,46
Triac 2	2,37
Triac 3	2,24
Triac 4	2,26

Des quatre structures, seule celle ayant une largeur de NWELL plus petite a un déclenchement plus précoce. En augmentant le couplage entre les deux bipolaires intriqués, c'est-à-dire en diminuant la taille de l'émetteur/collecteur en commun, on peut commuter le thyristor en mode passant plus rapidement. On voit que ce n'est pas le DAC qui importe mais

l'efficacité des bipolaires. En effet, en diminuant L_{RPO} et donc le DAC, dans le triac 2 le V_T reste proche de la valeur de référence du triac 3.

Cependant le triac 1 possède une fuite inacceptable pour une protection de dispositif de type GO1. En effet, à $V_{DD}=1,2V$, nous avons à $W=72\mu m$ un courant de fuite de $3\mu A$ ce qui est déjà hors gabarit. Il ne peut donc pas être utilisé. On privilégiera donc les autres triacs ayant un courant très faible autour de la dizaine de pico-ampère à $V_{DD}+10\%$.

En mode TLP : passant et bloqué

En mode TLP, nous cherchons à jauger le comportement de notre dispositif durant un événement proche des ESD. Deux configurations nous intéressent : le mode passant et le mode bloqué. En mode passant, nous allons observer la structure lorsqu'elle est fermée c'est-à-dire quand la gâchette N est mise à la masse et que le courant passe de l'anode à la gâchette. Puis lorsque il y a assez de courant pour déclencher les bipolaires, l'ensemble du dispositif conduit.

Au contraire en mode bloqué, la gâchette N est mise à l'anode et il faut attendre que la jonction centrale PWELL/NWELL en inverse fournisse suffisamment de courant pour activer les bipolaires. Les figures 2.25 et 2.26 présentent respectivement les modes passant et bloqué.

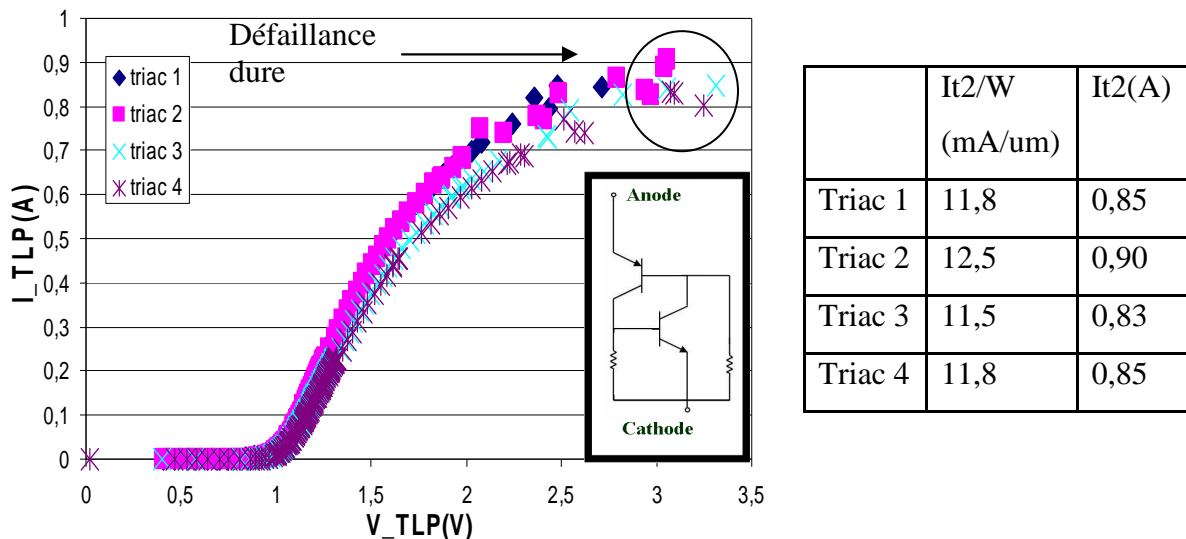


Figure 2. 25. Courbe I-V en mode TLP des structures fermées avec extraction de l' $It2$.

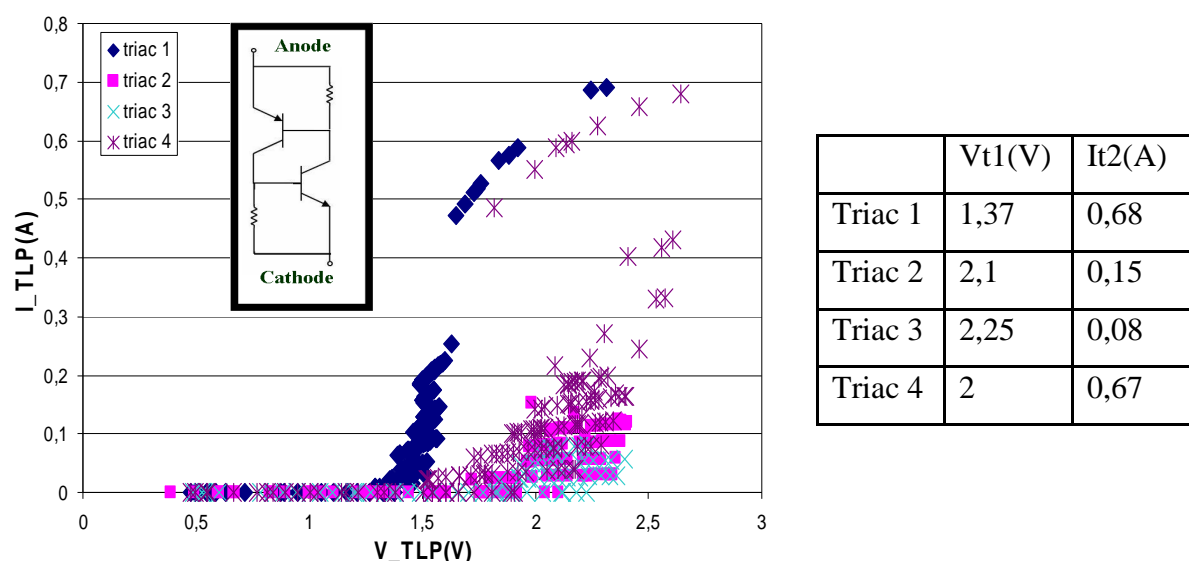


Figure 2. 26. Courbe I-V en mode TLP des structures bloquées avec extraction de l'It2.

En regardant l' $It2/W$ en mode passant, nous remarquons que **les valeurs obtenues sont bien supérieures à celles des autres dispositifs** que nous avons vus sur le nœud 65PDSOI : le triac devient le dispositif le plus robuste que nous possédons. En optimisant la dissipation de chaleur, le courant de casse a été repoussé à des valeurs plus importantes. Le maximum se situe lorsque les contacts sont le plus proche avec une distance L_{RPO} au minimum. En diminuant la distance entre les contacts et le masque anti-silicure, les contacts sont rapprochés : la résistivité est diminuée et la dissipation est encore améliorée. **Ainsi avec un $It2/\mu m$ de $12,5mA/\mu m$, il faudrait un triac de $192\mu m$ de large pour tenir les $2,4A$ du standard $4kV-HBM$, ce qui se révèle un gain d'efficacité au vue des $3400\mu m$ du MOS de puissance dans le MOSSWI.**

Le mode bloqué permet de voir si la structure reste contrôlée et contrôlable durant un événement rapide, et qu'un déclenchement intempestif n'arrive pas bien avant d'atteindre les $V_{DD}+10\%$. Dans notre cas, cela ne se produit pas puisque les V_{TI} en mode statique sont proches des V_{TI} en mode dynamique TLP. Cependant on peut voir que le mode bloqué présente un déclenchement intempestif, en forme de sapin : le déclenchement n'est pas simultané et uniforme mais par doigt de triac successif. Ceci vient d'un défaut de dessin au niveau de la métallisation des gâchettes. En ne connectant ces dernières qu'avec un seul niveau de métal, on a créé une trop grande disparité dans les résistances d'accès. Les triacs mis en parallèle ne sont pas tous homogènes et celui qui a la plus forte résistance d'accès se déclenche en premier.

Ainsi nous constatons que le dessin de la structure reste encore à optimiser, et c'est ce que nous avons fait pour le FDSOI et ce que nous allons présenter dans le chapitre 3.

Conclusion

En résumé, à l'aide de méthodes simples, il est possible de porter les stratégies de base de protection du silicium massif vers le silicium sur isolant. Si le dispositif commandable principal, le NMOS avec son fonctionnement en interrupteur, se prête bien à cette opération, il n'en est pas de même pour les autres dispositifs. La diode à grille notamment voit sa performance dégradée du fait de l'impact thermique du BOX sur son comportement. La diode STI et le thyristor ne fonctionnent plus en raison de la séparation de l'anode et de la cathode par l'oxyde enterré. De plus, les charges à protéger présentent des tensions de déclenchement parasite plus basses, gênant ainsi d'avantage l'emploi d'éléments déclenchables.

Ainsi un début de solution a été proposé en adaptant l'élément le plus robuste sur silicium massif, aux particularités du SOI : le thyristor. Dans cette nouvelle topologie, la dissipation thermique latérale a été privilégiée en fusionnant deux thyristors pour servir mutuellement de radiateur l'un à l'autre. Ce concept a été validé expérimentalement du point de vue du dispositif élémentaire. Les résultats sur PDSOI montrent en effet un gain sur le courant de défaillance supérieur aux autres dispositifs (tableau 2.7).

It ² /W sur 65nm	SOI [MAR07]	SOI ST	Silicium massif ST
Diode	10,5mA/μm	7 mA/μm	16,1 mA/μm
Thyristor	10,5mA/μm	12,5 mA/μm	45 mA/μm

Tableau 2. 7. Comparatif de l'It²/μm des structures sur nœud 65

Dans le chapitre 3, nous allons ainsi reprendre l'étude du thyristor mais en le limitant au FDSOI BOX mince. En effet cette technologie présente des changements majeurs tant du point de vue du comportement électrique que de sa topologie. Ainsi en partant de l'étude du thyristor et du triac, nous verrons l'influence de la géométrie des structures pour élaborer une stratégie novatrice et compétitive et remédier à la réduction de la fenêtre de conception: les dispositifs auto-déclenchés.

Chapitre III
**Perspectives pour une stratégie de protection à
base de thyristors sur FDSOI**

Introduction

Une solution à la problématique de la dissipation thermique vient d'être adressée par l'amélioration de la dissipation latérale dans une nouvelle structure et par l'emploi de l'ouverture de BOX. Cependant, reste toujours présente la diminution de la valeur du V_{T1} , spécialement sur FDSOI. Nous allons ainsi dans ce chapitre, mener une étude sur le dispositif de base en commutation que nous avons étudié précédemment, le thyristor afin de pouvoir l'utiliser pour la technologie 28nm FDSOI développée à STMicroelectronics et à terme de profiter de ses avantages en ce qui concerne la dissipation thermique.

Dans un premier temps, nous dégagerons par le biais de la simulation 3D TCAD en avance de phase sur le procédé de fabrication, les principales tendances qui régissent la physique du dispositif, puis dans un deuxième temps, nous évaluerons expérimentalement le thyristor obtenu par tests statique et dynamique de type TLP. Puis en dernier lieu, nous tâcherons de tirer les enseignements des mesures et de la simulation dans le but de proposer une stratégie de protection originale sur SOI.

A. Etude par simulation d'un thyristor en FDSOI

1. Choix du dessin et de la configuration

Le principe du thyristor repose sur l'imbrication d'un transistor PNP avec un transistor NPN comme décrit dans [CAI03] afin de provoquer un phénomène d'auto-entretien des effets bipolaires lors de la fermeture de la structure. Pratiquement, la composition théorique PNPN se traduit sur des technologies CMOS classiques par une séquence P+/NWELL/PWELL/N+. L'emploi de caissons N et P se justifie afin d'éviter un contact direct des diffusions N+ et P+ entre elles, car du fait de la densité élevée d'impuretés (soit 10^{21}cm^{-3}), les zones de charge d'espace se trouvent réduites et l'effet redresseur devient négligeable.

Sur FDSOI, il n'existe ni caisson N ni caisson P. Nous ne disposons que du dopage intrinsèque pour séparer les diffusions, et former une structure qui substituerait à la place du PWELL, le P intrinsèque (Pint) et pour le NWELL, le changerait en du Pint/N+. Au

final, au classique P+/NWELL/PWELL/N+, nous proposons un P+/Pint/N+/Pint/N+, dont le dessin est présenté sur la figure 3.1.

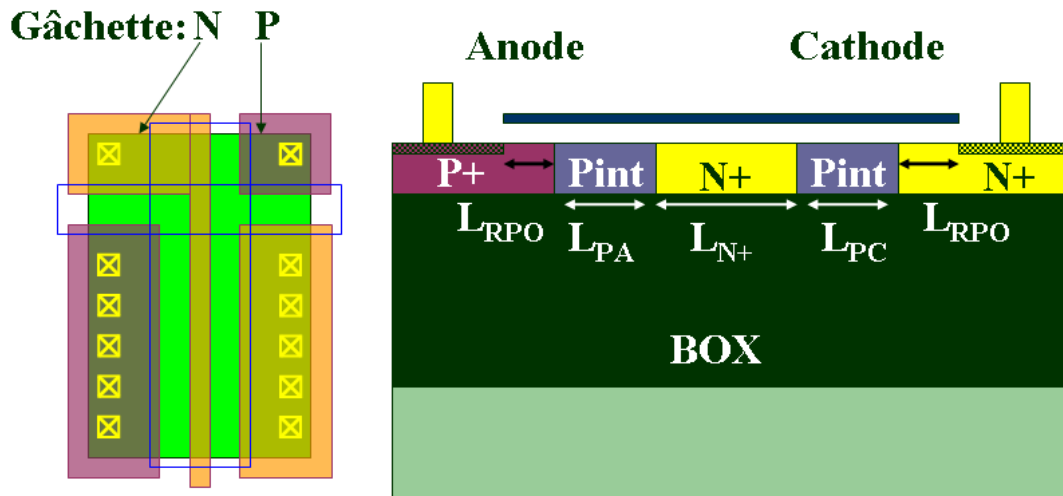


Figure 3. 1. Dessin des masques d'un thyristor FDSOI et vue technologique associée.

Pour déclencher la structure, nous possédons toujours les deux gâchettes : la diffusion N+ de la base du bipolaire PNP est prolongée sur le coté pour être contactée en gâchette N, et la base du NPN est contrôlée par une gâchette P formée par une diffusion P+. Il est à noter que les deux bipolaires sont maintenant fortement dissymétriques. En effet dans un cas, nous avons un bipolaire Pint/N+/Pint et dans l'autre N+/Pint/N+. Comme les bases ont des dopages très différents (la base N+ est dopée à 10^{21}cm^{-3} et pour la base Pint à 10^{15}cm^{-3} environ), les efficacités de déclenchement le seront également, nous le verrons plus loin.

Outre les dopages, les grandeurs caractéristiques d'un thyristor sur FDSOI sont :

- L_{N+} , longueur de la base du PNP,
- L_{PA} , longueur du Pint coté Anode,
- L_{PC} , longueur du Pint coté Cathode,
- W_{do} , la largeur du doigt de l'instance,
- N_{do} , le nombre de doigts,
- L_{RPO} , la distance des contacts au masque anti-siliciure (RPO).

Afin de comprendre le fonctionnement du thyristor sur cette nouvelle technologie, une structure de référence a été simulée suivant les caractéristiques présentées tableau 3.1 et figure 3.2.

L_{N+}	150nm	L_{RPO}	150nm
L_{PA}	150nm	W_{do}	3,5 μm
L_{PC}	300nm	N_{do}	20

Tableau 3. 1. Valeurs caractéristiques d'un dispositif d'étude.

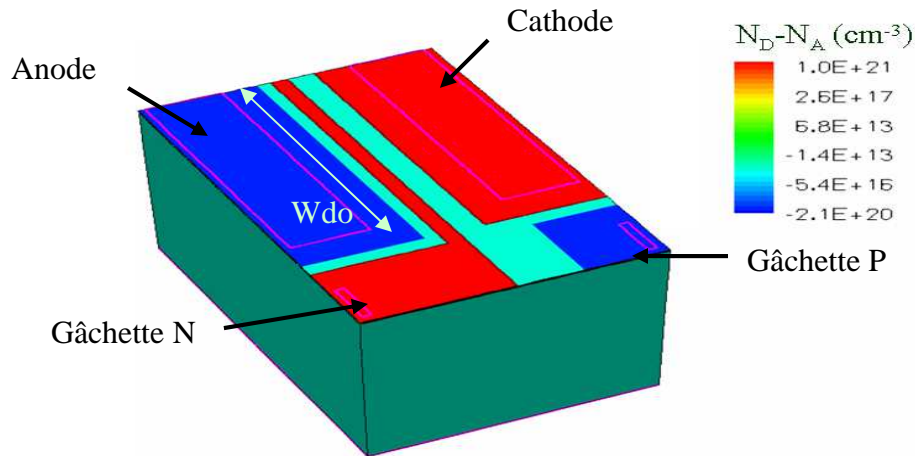


Figure 3. 2. Géométrie du dispositif simulé sous TCAD

Les profils de dopage ayant été faits en avance de phase sur la micro-fabrication des plaques de silicium, les simulations n'ont pu être calibrées surtout en ce qui concerne la fuite des dispositifs. Elles ont ainsi été utilisées pour dégager des tendances, mettre au point des dispositifs dans des topologies innovantes et évaluer l'influence de certains paramètres. C'est dans ce sens que pour compléter l'étude, nous présenterons les tests obtenus sur les structures sur silicium 300mm.

Les trois configurations classiques du silicium massif vont être appliquées au thyristor FDSOI suivant les connexions indiquées sur la figure 3.3.

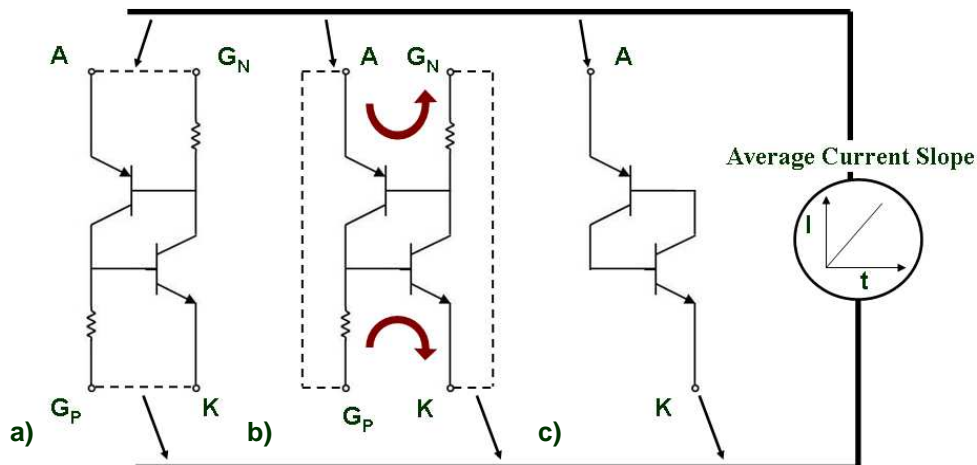


Figure 3. 3. Les modes de configurations a) bloqué, b) passant, et c) flottant.

- Le mode bloqué : l'anode et la gâchette N sont mises au point haut, la cathode et la gâchette P sont au point bas. Nous avons déjà vu que la jonction centrale est en inverse et qu'il faut attendre en silicium massif, la montée du potentiel dans le NWELL pour que la structure se ferme par avalanche.

- Le mode passant : la gâchette P est mise à l'anode, la gâchette N est mise à la cathode. Pour le silicium massif, le courant passe par la jonction PN entre l'anode et la gâchette N. De même, un courant circule entre la gâchette P et la cathode (figure 3.3b). Lorsque l'injection devient suffisamment importante, il y a déclenchement des bipolaires.

- Le mode flottant : seules l'anode et la cathode sont connectées au générateur de courant.

La figure 3.4 présente en échelle linéaire les caractéristiques I-V d'un thyristor en FDSOI, simulé dans les 3 modes avec un ACS, Average Current Slope ($I_{MAX}=1A$, $t=100ns$), vu au chapitre I.

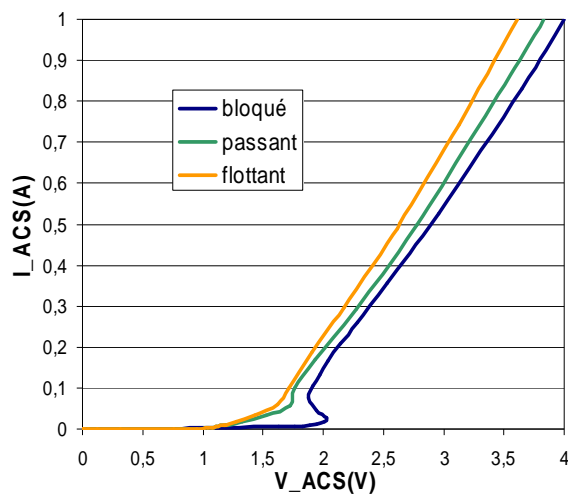


Figure 3. 4. Courbe I-V en ACS d'un thyristor FDSOI suivant une configuration passante, flottante et bloquée.

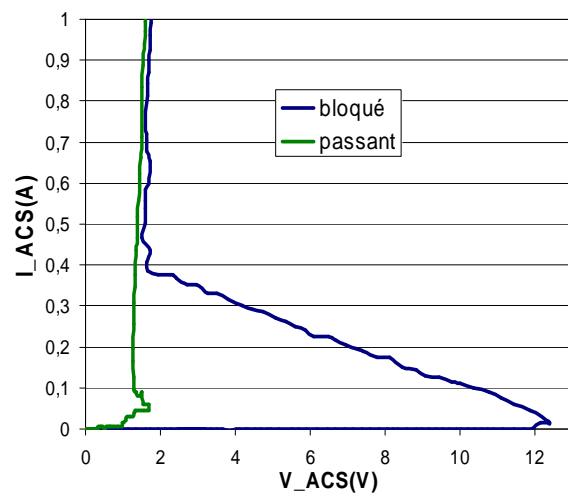


Figure 3. 5. Courbe I-V en ACS d'un thyristor sur silicium massif suivant une configuration passante et bloquée [JEZ11].

Les courbes I-V en mode linéaire présentent quelle que soit la connexion des gâchettes, des conductivités à forte injection (courant supérieur à 100mA) très similaires. Les modes passant et flottant ne diffèrent maintenant plus du mode bloqué que par une faible chute de tension à même courant, et que par un déclenchement et une fermeture de la structure plus précoces par rapport au mode bloqué.

En effet, le mode bloqué a une tension de déclenchement aux alentours de 2V supérieure à celle des autres modes mais bien en dessous des 10V observés sur des technologies silicium massif comme sur la figure 3.5 [JEZ11]. Le phénomène physique responsable de la fermeture du thyristor en FDSOI n'est donc plus dû à l'avalanche de la jonction PWELL/NWELL mais à un phénomène de nature différente.

2. Les 5 phases du mode bloqué

La figure 3.6 représente en échelle semi-logarithmique les courants de gâchette N d'anode et de la structure durant le mode bloqué en fonction de la tension aux bornes de la structure. L'évolution du courant peut se décomposer en 5 phases que nous allons maintenant étudier en regardant la cartographie des grandeurs physiques (densité de courant, densité de porteurs,...) à un courant de la structure donné.

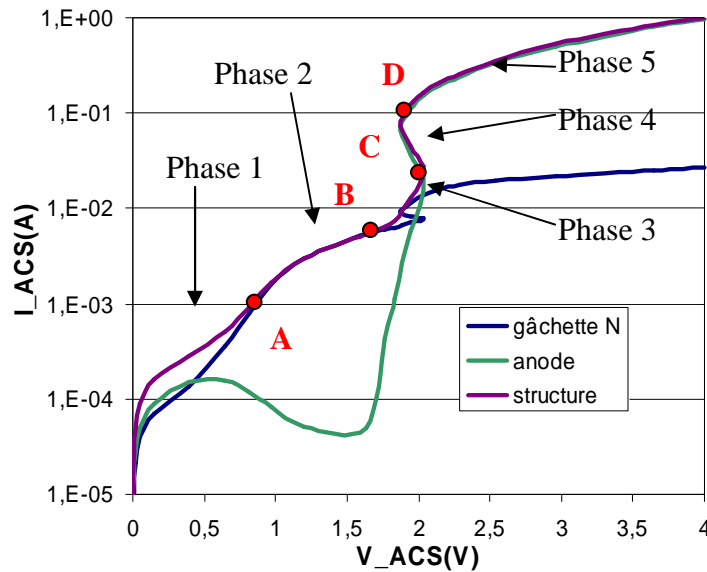


Figure 3. 6. Présentation des différentes phases dans le mode bloqué.

Pour chaque étape, les vues 3D seront exposées et interprétées, avec l'hypothèse que, du fait du film mince de silicium, les grandeurs physiques sont relativement homogènes sur l'épaisseur de silicium suivant la direction verticale et que les valeurs observées en surface diffèrent peu de celles calculées plus en profondeur.

1^{er} phase : entre le point origine et le point A

Nous nous situons dans cette étape à des échelles de temps et de courant assez faibles. En effet, le courant s'écoulant dans la structure est faible (voir figure 3.7), il s'agit d'un courant de fuite de jonction.

La figure 3.8 nous montre le potentiel électrostatique réparti sur toute la structure. A $t=0+$, la gâchette N et l'anode étant mises au point chaud et la cathode et la gâchette P à la masse, la jonction N+/Pint est donc en inverse et bloquée (figure 3.8). La tension aux bornes du dispositif doit donc augmenter pour que le courant injecté dans la structure puisse

s'écouler. Le courant se répartit inégalement dans les flux de porteurs du fait de la topologie de la structure.

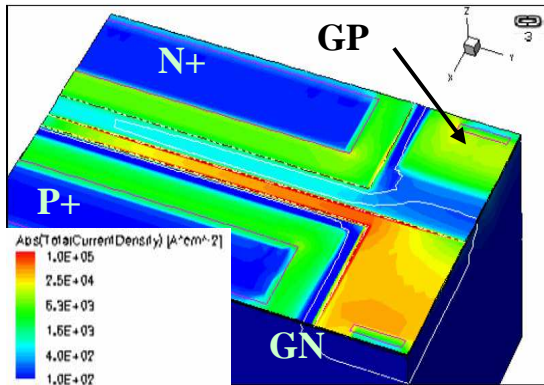


Figure 3. 7. Cartographie de la densité de courant lors de la 1ère étape.

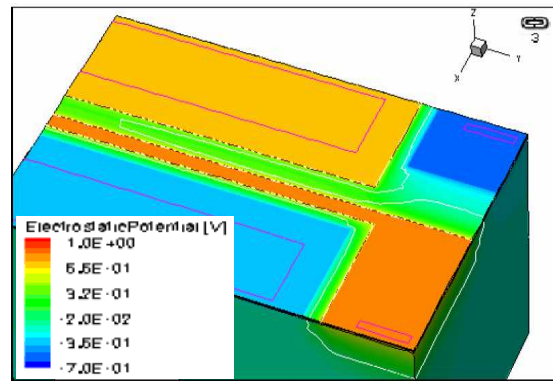


Figure 3. 8. Cartographie du potentiel électrique lors de la 1ère étape.

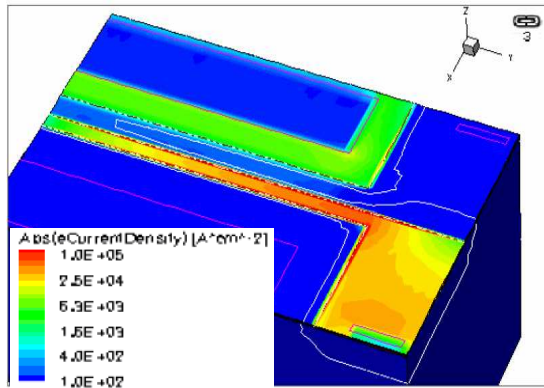


Figure 3. 9. Cartographie de la densité de courant d'électrons lors de la 1ère étape.

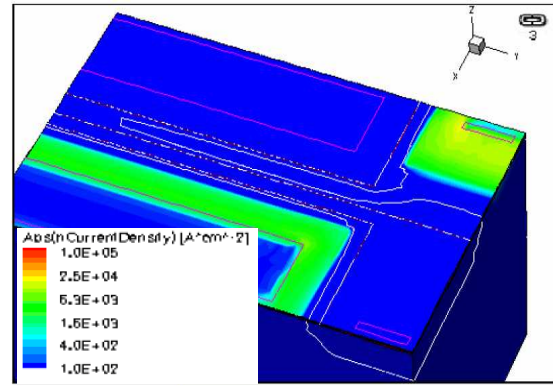


Figure 3. 10. Cartographie de la densité de courant de trous lors de la 1ère étape.

Les figures 3.9 et 3.10 montrent clairement cette répartition en deux chemins distincts :

- entre l'anode P+ et la gâchette P s'établit exclusivement un courant de trous,
- le courant d'électrons lui part de la cathode N+ et est collecté tout le long du doigt de la gâchette N. D'abord faible, il prend progressivement le pas sur le courant de trous pour devenir prépondérant, ce qui marque le passage à l'étape 2.

2^{ème} phase : entre le point A et le point B

A partir du point A, le courant de la structure est essentiellement porté par le courant de gâchette N comme le montre la figure 3.6, et la cartographie de la densité de courant sur la figure 3.11.

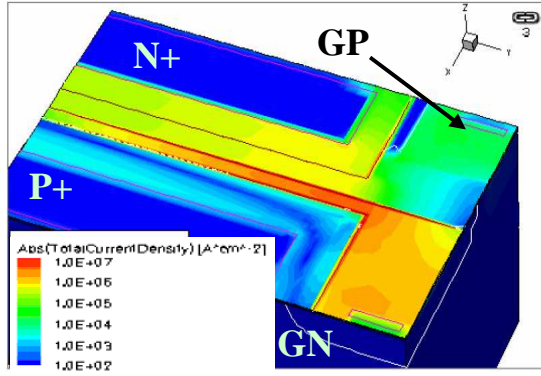


Figure 3. 11. Cartographie de la densité de courant lors de la 2ème étape.

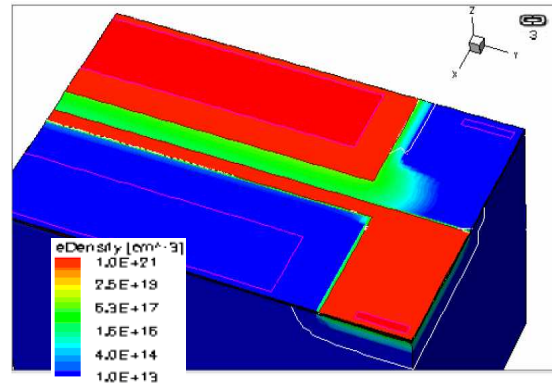


Figure 3. 12. Cartographie de la densité d'électrons lors de la 2ème étape.

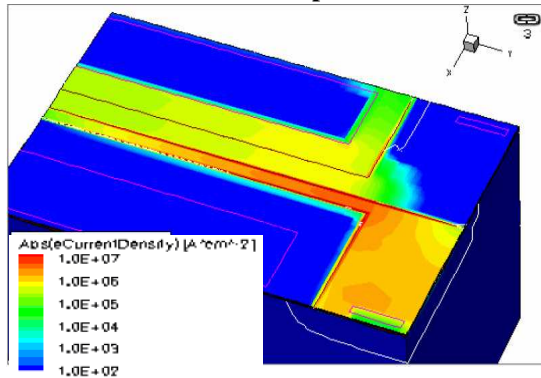


Figure 3. 13. Cartographie de la densité de courant d'électrons lors de la 2ème étape.

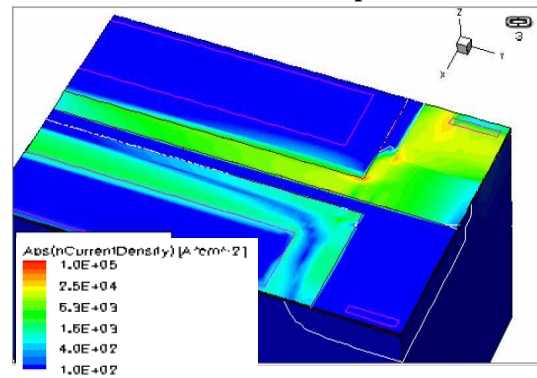


Figure 3. 14. Cartographie de la densité de courant de trous lors de la 2ème étape.

Ce courant marqué par l'élévation de la densité d'électrons dans le P intrinsèque entre la gâchette N et la cathode (figure 3.12), est en fait le résultat de l'effet bipolaire qui s'amorce sur le NPN : le courant de collecteur du bipolaire est donc naturellement un courant d'électrons comme on peut le constater sur la figure 3.13, et utilise en courant de base un courant de trous visible sur la figure 3.14. Cet effet bipolaire comme on peut le voir sur la figure 3.13, a tendance à se focaliser au minimum de la distance gâchette N et de la cathode.

Cette mise en conduction du bipolaire NPN se fait au détriment du PNP et donc du courant de trous entre l'anode et la gâchette P. On constate d'ailleurs sur la figure 3.6 que le courant d'anode décroît durant cette phase-là.

3^{ème} phase : entre le point B et le point C

Le point B marque le début de la mise en conduction du PNP et bien sûr du courant d'anode qui croît fortement pendant la phase 3 et va devenir progressivement prépondérant dans le courant total à la fin de cette phase 3 comme on le constate sur la figure 3.6.

En effet, même si le bipolaire NPN continue encore à drainer encore un courant d'électrons (figure 3.15), la cartographie du courant de trous figure 3.16 montre que le bipolaire PNP s'est enclenché en bout de doigt.

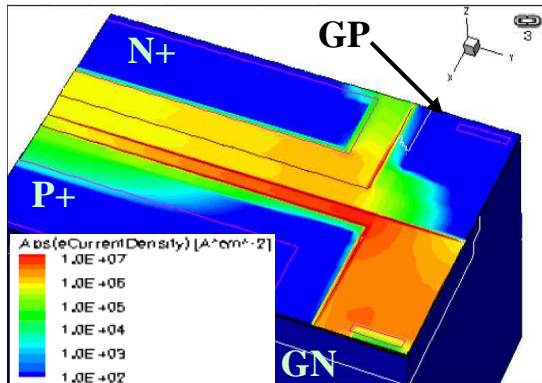


Figure 3. 15. Cartographie de la densité de courant d'électrons lors de la 3ème étape.

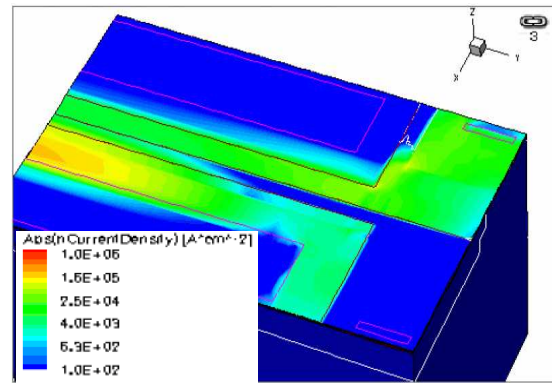


Figure 3. 16. Cartographie de la densité de courant de trous lors de la 3ème étape.

4^{ème} phase : entre le point C et le point D

La phase 4 est l'étape du repliement de la caractéristique I-V et du déclenchement de l'effet SCR.

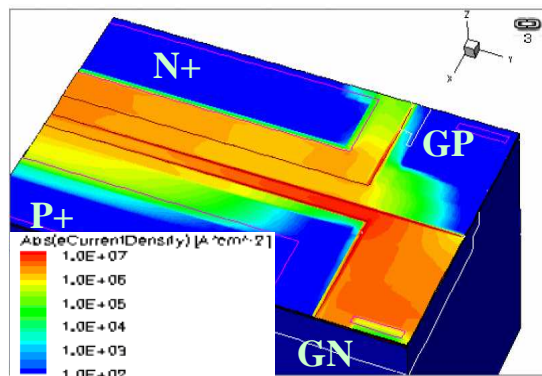


Figure 3. 17. Cartographie de la densité de courant d'électrons lors de la 4ème étape.

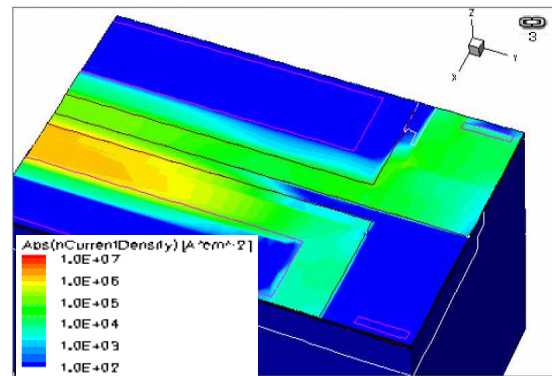


Figure 3. 18. Cartographie de la densité de courant de trous lors de la 4ème étape.

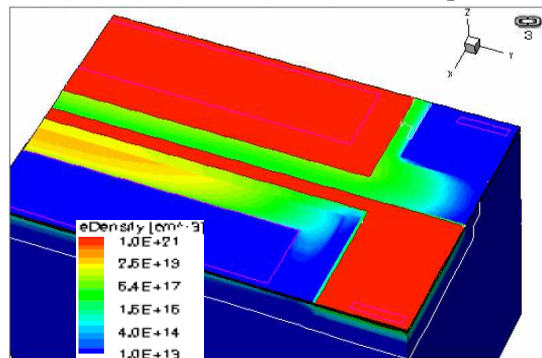


Figure 3. 19. Cartographie de la densité d'électrons lors de la 4ème étape.

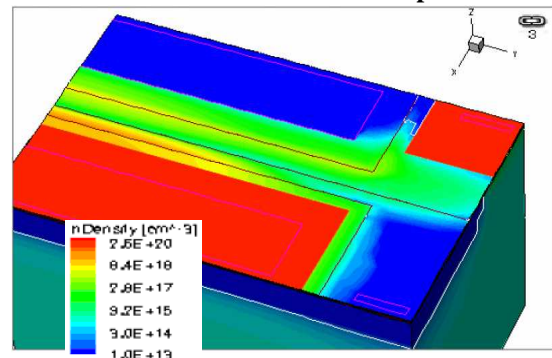


Figure 3. 20. Cartographie de la densité de trous lors de la 4ème étape.

On assiste à un couplage des deux bipolaires jusqu'ici cantonnés aux deux extrémités de la structure. Alors que le NPN conduisait principalement au niveau de la gâchette N, on voit sur la figure 3.17 que le courant d'électrons s'est élevé de façon significative en bout de doigt là où conduit le bipolaire PNP (figure 3.18).

En fait, à cet endroit, les deux bipolaires viennent de se coupler, un fort courant d'électrons va y engendrer une forte densité d'électrons jusque dans l'anode P+ (figure 3.19). De même dans la base N+ du PNP, la densité de trous va devenir de plus en plus importante comme on le voit sur la figure 3.20.

Dès à présent, non seulement toute augmentation de l'un des deux types de porteurs dans un bipolaire va augmenter le courant de base de l'autre bipolaire et donc son courant de collecteur mais en plus ce passage d'un mode bipolaire à un mode SCR va se généraliser sur toute la longueur du dispositif.

5^{ème} phase : au-delà du point D

Dans cette dernière étape, le thyristor est dès à présent en fonctionnement passant : toute la structure conduit le courant comme on peut le constater sur la figure 3.22 et cet écoulement de porteurs se fait principalement entre l'anode et la cathode. La gâchette N voit une partie du courant mais cet effet tend à s'arrêter à mesure que le courant augmente.

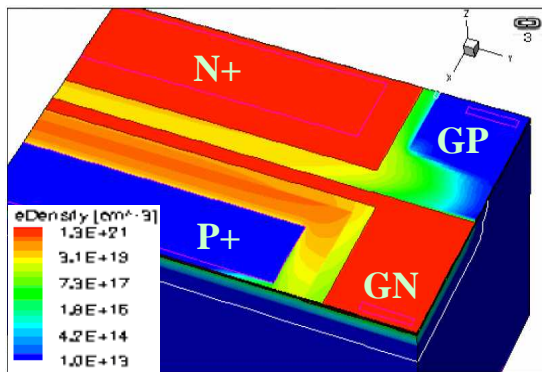


Figure 3. 21. Cartographie de la densité d'électrons lors de la 5^{ème} étape.

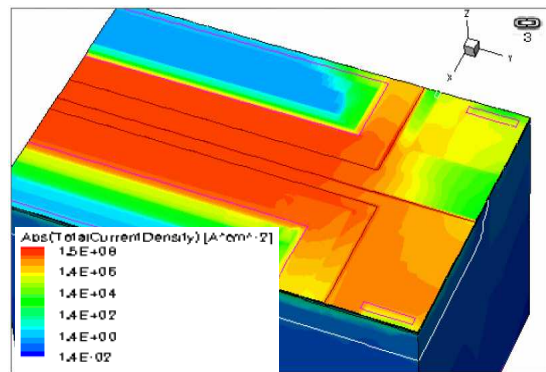


Figure 3. 22. Cartographie de la densité de courant lors de la 5^{ème} étape.

Ce changement de régime de conduction se retrouve dans la densité de porteurs : dans le cas des électrons, figure 3.21, les zones dopées P voient leur densité d'électrons devenir non négligeable et même supérieure par rapport à celle des majoritaires, diminuant tous les effets de jonction.

3. Les modes flottant et passant

Nous avons vu que les modes passant et flottant dans la simulation ACS de la figure 3.4, présentaient de fortes ressemblances dans leurs caractéristiques I-V: étudions-les parallèlement comme présenté figure 3.23 (et pour rappel les modes de configurations sont présentés figure 3.24).

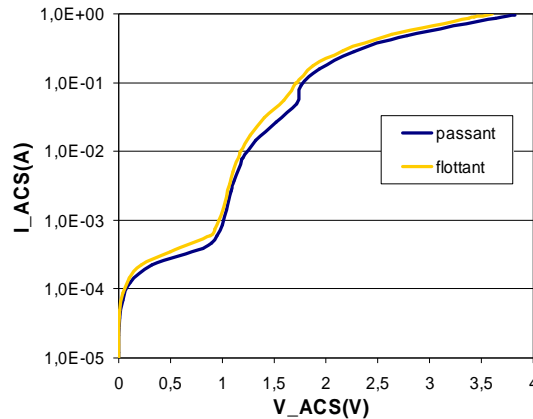
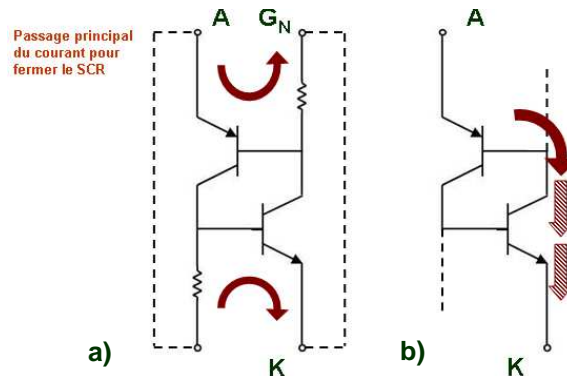


Figure 3. 23. Courbe I-V en ACS d'un thyristor FDSOI suivant les configurations passante et flottante.

Lorsqu'un flux de porteurs commence à être injecté dans la structure, on constate sur les figures 3.25 et 3.26, par quelles jonctions le courant s'établit.



**Figure 3. 24. Rappel des modes de configuration
a) passant et b) flottant.**

- Dans le mode passant, présenté dans les figures 3.23, 3.24 a), et 3.25, le courant s'écoule simultanément suivant deux jonctions PN en direct, d'une part entre l'anode P+ (point haut) et la gâchette N (point bas), et d'autre part la gâchette P (point haut) et la cathode N+ (point bas).

- Dans le mode flottant, même si la gâchette N n'est pas connectée, les conditions initiales étant $V_{GN}=0$, lors de la montée du potentiel sur l'anode, la jonction va être mise en directe et comme montré figure 3.26, l'essentiel du flux de porteurs va s'écouler à cet endroit.

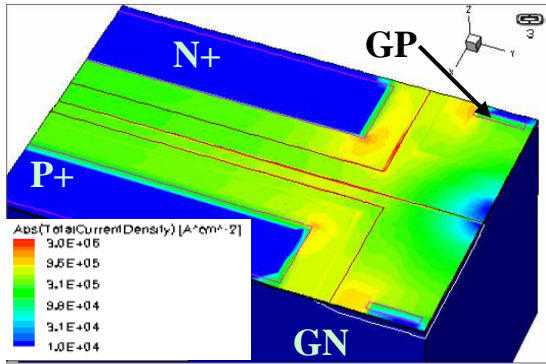


Figure 3. 25. Cartographie de la densité de courant en mode passant lorsque $I=4.10^{-4}A$.

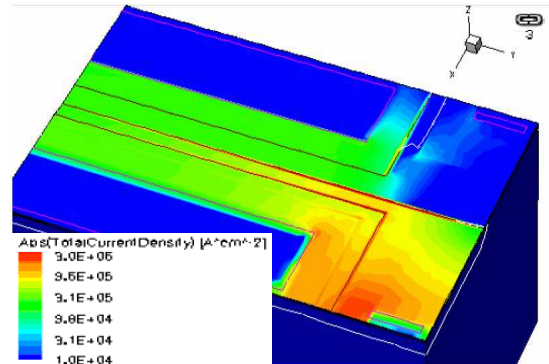


Figure 3. 26. Cartographie de la densité de courant en mode flottant lorsque $I=4.10^{-4}A$.

Toutefois, du fait de l'efficacité du bipolaire NPN, dans les deux cas, on constate qu'un courant non négligeable s'écoule entre l'anode et la cathode. Ainsi à mesure que l'injection de porteurs s'intensifie (voir les figures 3.27 et 3.28), ce courant va aussi augmenter et provoquer à terme la réaction d'auto-entretien des bipolaires et la fermeture de la structure.

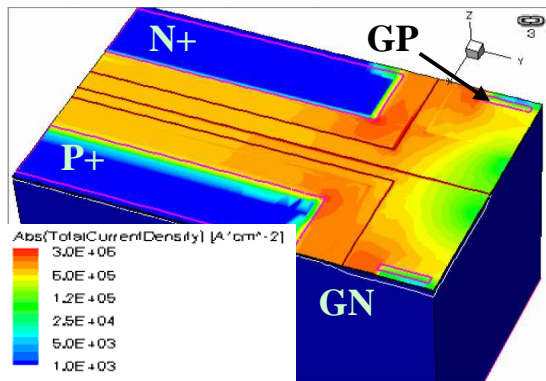


Figure 3. 27. Cartographie de la densité de courant en mode passant lorsque $I=1.10^{-2}A$.

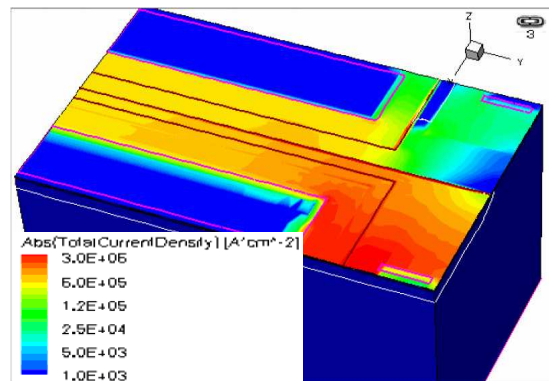


Figure 3. 28. Cartographie de la densité de courant en mode flottant lorsque $I=1.10^{-2}A$.

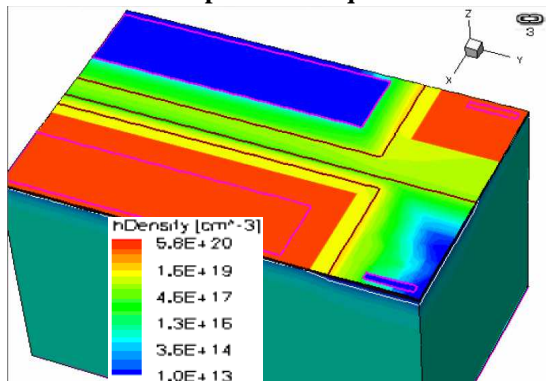


Figure 3. 29. Cartographie de la densité de trous en mode passant lorsque $I=1.10^{-2}A$.

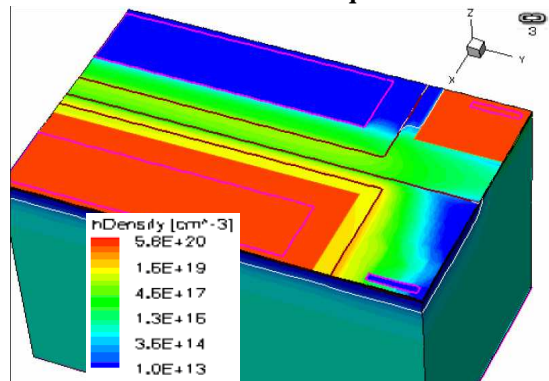


Figure 3. 30. Cartographie de la densité de trous en mode flottant lorsque $I=1.10^{-2}A$.

Si l'on regarde à cet instant la densité des porteurs (par exemple les trous sur les figures 3.29 et 3.30) dans les deux modes, on peut voir que les populations minoritaires dans

les bases deviennent de moins en moins négligeables. Ainsi dans le transistor bipolaire PNP, les trous dans la gâchette N tout le long du doigt voient leurs densités sensiblement augmenter du fait du passage du courant.

Nous retrouvons ainsi la même configuration que dans l'étape 4 vue précédemment mais cette fois sur toute la longueur entre l'anode et la cathode. La structure va se déclencher du fait du couplage des transistors et ce, que ce soit en mode passant ou flottant.

Cependant, il nous faut prendre de la distance avec la simulation en mode flottant : les concepteurs généralement ne laissent pas de gâchette ainsi flottante car l'environnement extérieur (rayonnement lumineux, effet capacitif) influe sur son potentiel. C'est pour cela que la condition $V_{GN}=0$ reste un choix purement théorique.

Nous venons de voir les trois configurations possibles de connexion d'un thyristor. Grâce à un déclenchement plus bas en tension qu'en silicium massif, le mode bloqué offre sur FDSOI de nouvelles perspectives : sa tension de déclenchement se trouve être du même ordre de grandeur que celui d'un MOS monté en charge. Si nous arrivons à l'ajuster de façon plus précise dans la fenêtre de conception, nous pourrions envisager de nous priver de tout circuit de déclenchement annexe.

Nous allons maintenant analyser les influences de quelques paramètres géométriques importants sur la courbe I-V en mode bloqué. Plus particulièrement, nous regardons en quoi ces grandeurs peuvent affecter la tension de déclenchement V_{TI} (voir figures 3.4 et 3.6) à l'aide de la simulation 3D TCAD, dans un premier temps.

4. Variation des paramètres en mode bloqué

Le thyristor étant le produit d'un couplage entre deux bipolaires, la modification des caractéristiques géométriques de chacun permet de modifier sensiblement la caractéristique courant-tension du dispositif.

De plus, le déclenchement de l'ensemble est fortement affecté par la configuration 3D de l'ensemble, rajoutant des paramètres tels que la longueur de doigt. Cette propriété intéressante fait l'objet de dépôts de brevet en cours [GALY11] et à venir.

Influence de la longueur de doigt (W_{do})

Nous avons vu lors de la phase 4 que le déclenchement des bipolaires imbriqués se faisaient en bout de doigt. Cela était dû en grande partie à la résistance du doigt dans la gâchette N+ qui engendre une chute de potentiel et donc un déclenchement en bout de doigt du bipolaire PNP.

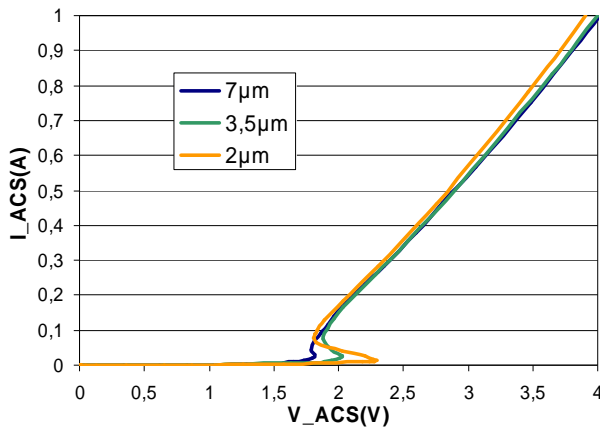


Figure 3. 31. Courbe I-V linéaire en ACS d'un thyristor avec variation sur W_{do} .

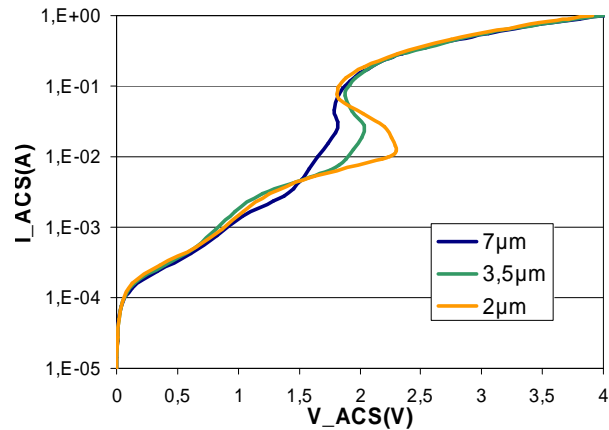


Figure 3. 32. Courbe I-V semi-logarithmique en ACS d'un thyristor avec variation sur W_{do} .

Afin d'évaluer l'influence de la longueur du doigt W_{do} , des structures à 2μm, 3,5μm et 7μm de W_{do} ont été simulées toujours suivant le même stimulus ACS mais en variant le nombre de doigt N_{do} (respectivement 35, 20 et 10) pour garder une largeur totale constante (70μm). Les résultats sont présentés sur les figures 3.31 et 3.32.

Nous constatons que l'influence de ce paramètre est justement effective dans les phases 3 et 4. Les différences se limitent donc au déclenchement des structures : plus le doigt est long, moins la tension de déclenchement est grande.

En effet, dans l'étape 3, lorsque le déclenchement du bipolaire NPN est repoussé en bout de doigt du fait de la résistance de la gâchette N, si ce même doigt est allongé, cette résistance augmente et facilite l'apparition de l'effet bipolaire sur le PNP.

A l'inverse la diminution de la résistance de doigt, retarde la mise en conduction du transistor. C'est pour cela que l'augmentation de la longueur de doigt a pour effet la diminution du V_{T1} .

Influence de la largeur de base N^+

Autre paramètre pouvant agir sur la fermeture complète de la structure : la largeur N^+ de la base du bipolaire PNP (L_{N^+}) comme présenté sur la figure 3.1. Les figures 3.33 et 3.34 montrent le comparatif respectivement en échelle linéaire et logarithmique des caractéristiques I-V de deux dispositifs dont l'un a une largeur de base N^+ de 150nm et l'autre une largeur de 300nm.

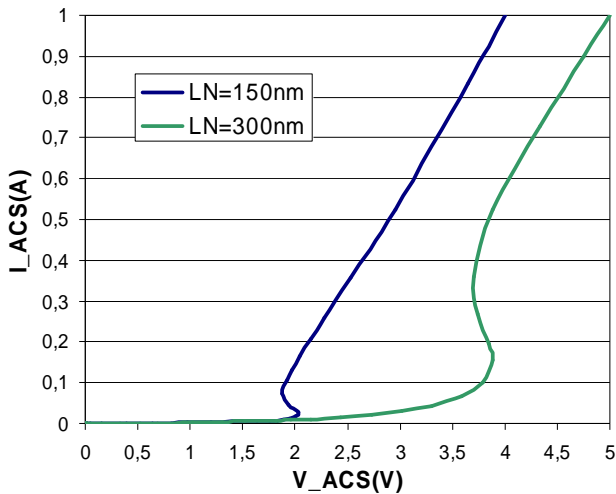


Figure 3. 33. Courbe I-V linéaire en ACS d'un thyristor avec variation sur la largeur du N^+ .

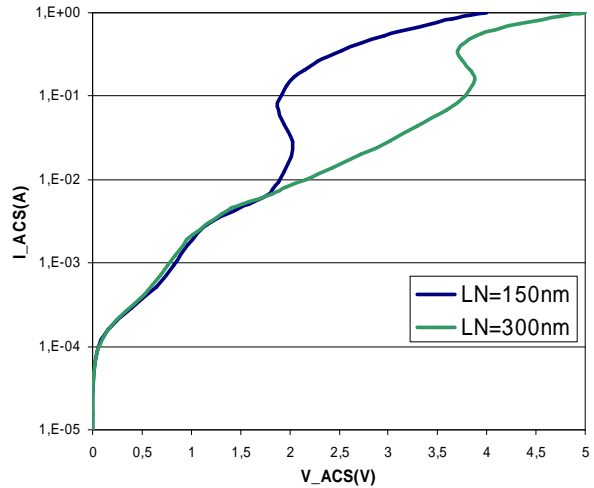


Figure 3. 34. Courbe I-V logarithmique en ACS d'un thyristor avec variation sur la largeur du N^+ .

Les deux courbes restent confondues jusqu'à ce que la structure à plus petite largeur de base amorce le processus de fermeture, l'autre voyant ce même processus arriver pour un courant plus important. Car agrandir la base d'un bipolaire revient à diminuer son efficacité, et donc à augmenter le courant nécessaire pour qu'il s'enclenche.

Avec une plus longue base, il est nécessaire d'augmenter la tension aux bornes du bipolaire PNP pour augmenter le courant de trous et au final activer l'effet bipolaire du transistor. La figure 3.16 nous montrait déjà sur le courant de trous que le bipolaire PNP se déclenchait en bout de doigt et que ce courant de trous devait traverser la base N^+ .

De plus, avec une plus grande base, le gain est dégradé et la montée en courant dans la phase 3 est ainsi plus lente. L'effet SCR arrive ainsi de façon plus tardive. Dans le cas du thyristor de référence, ce moment arrivait à une tension beaucoup plus basse car le champ électrique à fournir aux bornes du transistor PNP, pour accélérer les trous dans la base N^+ est beaucoup moins important.

Influence de la résistance d'accès des gâchettes

Etant donné que durant les premières phases (1 et 2), la majeure partie du courant est portée par le courant de gâchette N, une variation sur la valeur des résistances d'accès a été faite pour évaluer l'impact sur le V_{TI} . Comme indiqué sur les figures 3.35 et 3.36, nous observons que plus la résistance est importante, plus le dispositif se déclenche tôt.

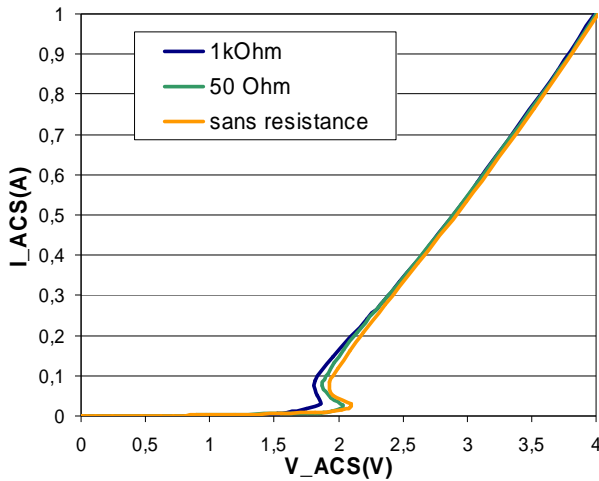


Figure 3. 35. Courbe I-V linéaire en ACS d'un thyristor avec variation sur les résistances d'accès.

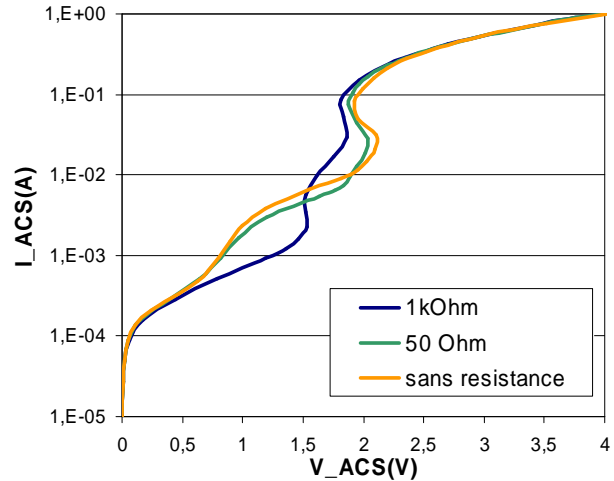


Figure 3. 36. Courbe I-V semi-logarithmique en ACS d'un thyristor avec variation sur les résistances d'accès.

En effet, lorsque le courant de gâchette durant la phase 2 devient plus important, la résistance va créer une différence de potentiel entre le point haut et la gâchette N.

Si la résistance est très grande, la chute de potentiel sera importante entre ce point haut et l'extrémité du doigt du thyristor là où va se déclencher le PNP.

Au contraire, si cette résistance est faible ou nulle, cette différence de potentiel électrostatique est moins propice au déclenchement en bout de doigt et il faut atteindre une injection en courant plus importante afin de parvenir au seuil de fermeture du bipolaire PNP.

Influence de la largeur du P intrinsèque coté Cathode/Gâchette P

Nous regardons maintenant l'impact de la longueur du P intrinsèque coté cathode (L_{PC}) (voir figure 3.1). En la faisant varier (figure 3.37 et 3.38), nous obtenons un nouveau levier pour modifier le V_{TI} de la structure.

Cette longueur se trouve être aussi la longueur de la base du NPN et comme dans le cas du N+, nous modifions l'efficacité d'un bipolaire mais cette fois, il s'agit du NPN.

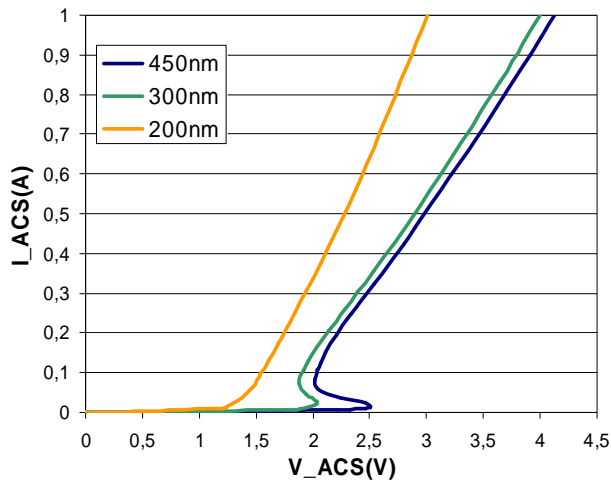


Figure 3. 37. Courbe I-V linéaire en ACS d'un thyristor avec variation sur la zone intrinsèque.

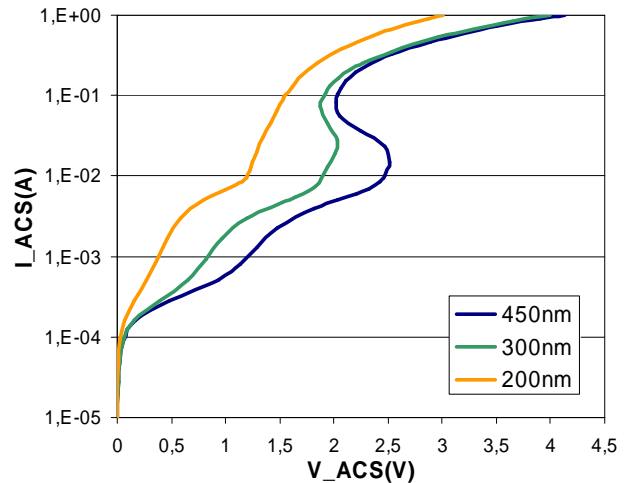


Figure 3. 38. Courbe I-V semi-logarithmique en ACS d'un thyristor avec variation sur la zone intrinsèque.

Etant donné que le courant passe principalement par le NPN pendant les premières phases (1,2 et 3), agrandir la base revient à augmenter le niveau d'injection de porteurs nécessaire à la fermeture du bipolaire. Ainsi la tension aux bornes du dispositif est plus importante lorsque la structure commute : sur la courbe I-V figure 3.37, on voit que l'on peut ainsi augmenter le V_{T1} en élargissant la gâchette P intrinsèque. A l'inverse, lorsque l'on diminue la longueur de la base du NPN, la tension de V_{T1} va diminuer, allant même jusqu'à des valeurs inférieures à la tension de maintien. En effet, en améliorant la conduction du NPN, on peut atteindre des cas où le déclenchement de l'effet SCR se trouve être dans la continuité de la montée en courant du NPN et donc sans effet de repliement, comme pour le cas où le Pint a une longueur de 200nm.

Toutefois, l'extension de cette zone P peu dopée a aussi une influence sur la résistance passante. Ainsi, plus on agrandira la distance anode/cathode et plus on augmentera la résistance dynamique lors de la fermeture du SCR.

En étudiant la variation de plusieurs grandeurs géométriques, nous avons pu voir que le déclenchement de la structure était sensible à un nombre important de paramètres mais dans des proportions différentes. Cependant des compromis sont à trouver car on ne peut agrandir démesurément une longueur sans dégrader une autre caractéristique électrique telles que la robustesse ou la conductivité. Seule la mesure du dispositif peut trancher la question.

B. Mesures d'un thyristor sur FDSOI et perspectives de stratégies

L'analyse 3D TCAD vue dans la précédente partie nous a permis en avance de phase d'appréhender les protections ESD dans la technologie FDSOI. Mais l'absence de calibration nous a limités dans la visualisation des tendances et pour poser les prémices d'une stratégie de protection basée sur les propriétés du thyristor.

Pour prolonger notre démarche suivant l'étude TCAD, pour la première fois, des structures thyristors originales ont été conçues pour la technologie FDSOI sur le nœud 28nm. Des masques ont été fabriqués et les dispositifs ont été réalisés sur silicium. La couche de silicium actif après épitaxie a une épaisseur de 21nm et tandis que celle de l'oxyde enterré BOX est de 25nm. Les implantations de dopage sont conformes à ce qui a été présenté au chapitre I.

Un dispositif référent a été dessiné et ses caractéristiques sont présentées dans le tableau 3.2.

L_{N+}	170nm	L_{RPO}	200nm
L_{PA}	170nm	Wdo	3,5 μ m
L_{PC}	510nm	W	70 μ m

Tableau 3. 2. Valeurs caractéristiques du thyristor testé.

Etant donné que des plans de masses sont implantés sous le BOX afin de permettre le contrôle par face arrière [GAL07], la queue de distribution peut venir modifier le dopage des parties laissées dans le dopage natif. Ce phénomène est présenté sur la figure 3.39.

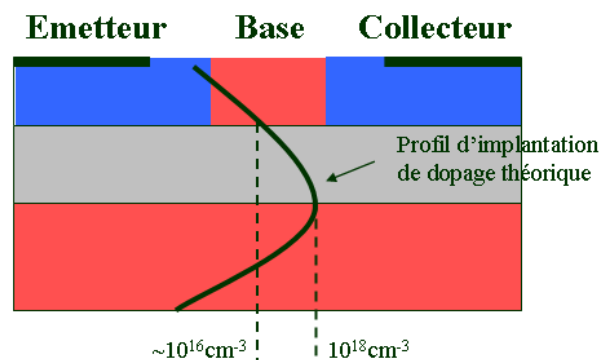


Figure 3. 39. Influence de la queue de distribution de dopage lors de l'implantation des plans de masse.

Ainsi deux structures de thyristors de référence vont être analysées, l'une avec un plan de masse dopé N, l'autre avec un plan de masse dopé P. Dans un premier temps, nous allons caractériser en mode continu les dispositifs suivant leurs différentes entrées.

Puis dans un second temps, ces thyristors seront testés sous TLP afin d'évaluer leur comportement durant des événements similaires à celui d'une ESD. Enfin, aux vues des résultats, nous proposerons une perspective de stratégie innovante pour des protections sur FDSOI.

1. Mesures en mode continu

Le thyristor possède quatre pôles qui permettent en mode statique de le caractériser suivant les dispositifs de base qui le composent. Ainsi, par cet intermédiaire, nous allons pouvoir évaluer les éléments du SCR, tel que :

- son transistor bipolaire N+/P intrinsèque/N+,
- la diode P+/P intrinsèque/N+,
- le transistor bipolaire P intrinsèque/N+/P intrinsèque.

Pour avoir un effet thyristor, il faut que la condition présentée dans l'équation (19) soit vraie.

$$\beta_{NPN} \cdot \beta_{PNP} \geq 1 \quad (19)$$

où le produit du gain β_{NPN} du bipolaire NPN avec le gain β_{PNP} du bipolaire PNP doit être supérieur à 1.

Afin de vérifier cette condition, des mesures du gain en mode statique ont été menées sur deux thyristors de référence, un avec un plan de masse de type N, l'autre de type P. De plus sachant le rôle de la diode pour amener du courant lors du déclenchement de l'ensemble, celle-ci a été aussi caractérisée.

Mesures du transistor bipolaire NPN

Le transistor N+/ P intrinsèque /N+ est caractérisable grâce aux pôles du dispositif : son collecteur N+ est accessible grâce au contact de gâchette N ; son émetteur, lui est situé à la cathode ; et enfin l'ensemble est commandé au niveau de la base par la gâchette P.

Pour tracer les courbes de Gummel [STRE06] et ainsi remonter jusqu'au gain β_{NPN} du bipolaire, une tension fixe a été appliquée sur le collecteur et une tension variable sur la base, la tension d'émetteur servant elle de référence.

Les figures 3.40 et 3.41 présentent les courants de collecteur I_{ce} et de base I_{be} ainsi que le rapport du courant de collecteur I_{ce} sur le courant de base I_{be} en fonction de la tension base-émetteur pour un thyristor à plan de masse de type N (figure 3.40) et de plan de masse de type P (figure 3.41).

Pour tracer ces courbes, une tension de 1V a été mise sur le collecteur, et la tension base-émetteur a varié de 0 à 2V.

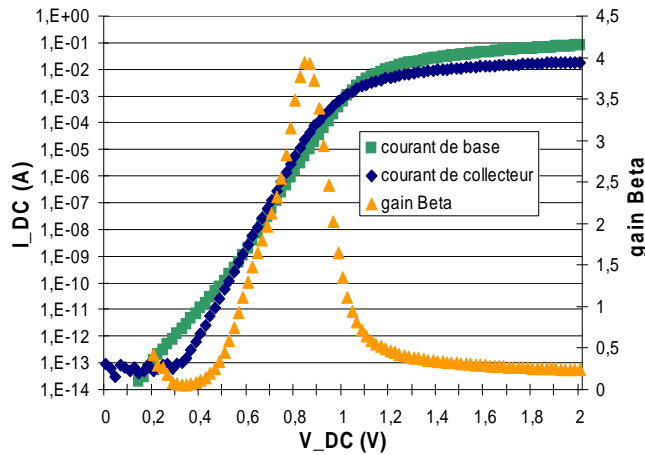


Figure 3. 40. Courbes de Gummel du courant collecteur, du courant base et du gain du bipolaire NPN d'un thyristor sur plan de masse de type N en fonction de la tension base/émetteur.

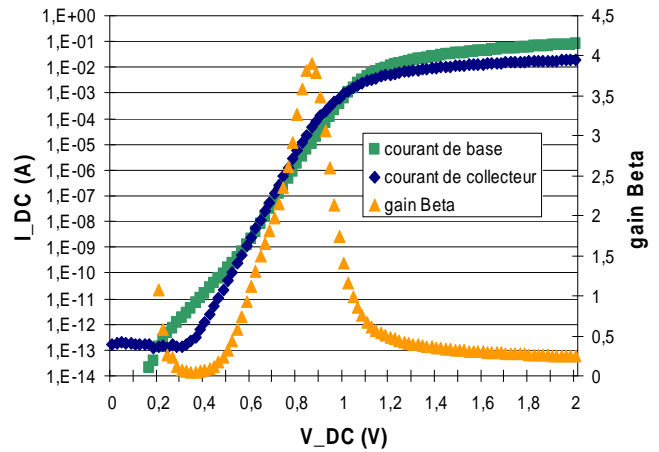


Figure 3. 41. Courbes de Gummel du courant collecteur, du courant base et du gain du bipolaire NPN d'un thyristor sur plan de masse de type P en fonction de la tension base/ émetteur.

Nous observons dans un premier temps que le gain des transistors sur les deux thyristors a une allure semblable dans les deux cas : en régime normal, lorsque nous nous situons à des polarisations modérées de la jonction base/émetteur en direct, le gain est bien supérieur à 1 ; toutefois il présente une valeur maximum pour une très faible gamme de tension puis lorsque V_{be} augmente le transistor entre en saturation et le gain converge vers une valeur inférieure à 1.

Mais les principales différences que l'on observe avec un transistor bipolaire NPN sur des technologies plus matures se révèlent très significatives : d'abord le gain maximum est largement en dessous de ce que l'on peut attendre d'un bipolaire sur silicium. Il se situe en effet autour de 4 alors qu'il peut atteindre l'ordre de la centaine.

De plus, un gain de transistor bipolaire peut se maintenir sur une plus large plage de tension. Sur FDSOI, on constate que non. Le maximum de gain se limite à un pic atteint autour de 0,9V juste avant la saturation.

Enfin, dernières remarques, les bipolaires NPN ne semblent pas être influencés par le dopage de la base induit par l'implantation des dopages des plans de masse sous le BOX.

Même si ce transistor bipolaire fonctionne, il a cependant des très piètres performances sur la technologie FDSOI.

Mesures du transistor PNP

Pour le transistor P intrinsèque /N+ /P intrinsèque, une démarche similaire est aussi faisable : ici le collecteur P intrinsèque au niveau de l'anode va être polarisé à une tension constante de -1V. La base N+ grâce au contact de gâchette N balaiera une plage de tension allant de -2V à 0V et la gâchette P c'est-à-dire l'émetteur du transistor bipolaire restera à la tension de référence.

Nous pouvons ainsi tracer les courbes de Gummel pour des thyristors à plan de masse de type P ou de type N et ainsi remonter jusqu'au gain β_{PNP} . Ces courbes sont présentées sur les figures 3.42 et 3.43.

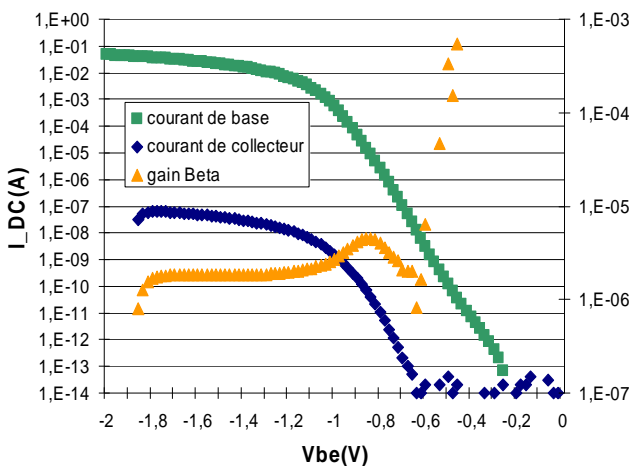


Figure 3. 42. Courbe de Gummel du courant collecteur, du courant base et du gain du bipolaire PNP d'un thyristor sur plan de masse de type N en fonction de la tension base-émetteur.

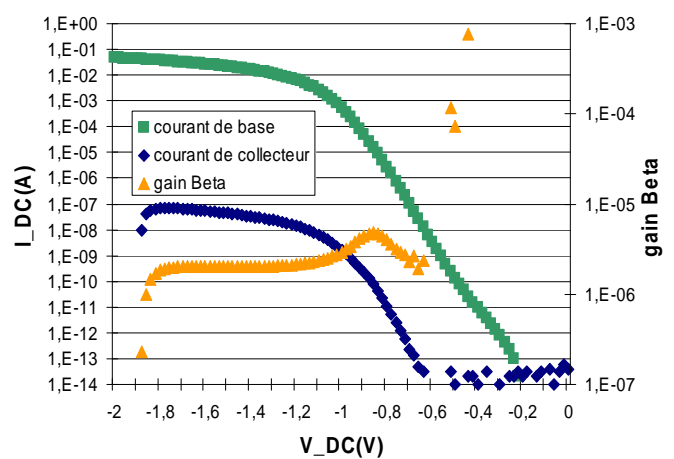


Figure 3. 43. Courbe de Gummel du courant collecteur, du courant base et du gain du bipolaire PNP d'un thyristor sur plan de masse de type P en fonction de la tension base-émetteur.

Les deux figures ont des allures similaires : nous constatons ainsi dans les deux cas la dégradation sans appel du gain β_{PNP} en régime normal du bipolaire au regard de celui du NPN. Effectivement, dans ce régime, la valeur du rapport I_{ce} sur I_{be} atteint difficilement les 8.10^{-6} juste avant la saturation sans même se maintenir sur une grande plage en tension.

Les raisons pour lesquelles nous obtenons un gain si faible sont doubles et tiennent au fait que l'on se situe dans le pire cas du transistor bipolaire.

- L'émetteur constitué par une zone de dopant P intrinsèque est très faiblement dopé : le courant de la jonction émetteur-base est constitué essentiellement d'électrons et la quantité de trous injectés depuis l'émetteur vers la base est très faible.

- La base N+ est très fortement dopée (10^{21}cm^{-3}) favorisant la recombinaison des trous injectés par l'émetteur. En outre, la zone de charge d'espace de la jonction en inverse base/collecteur est très peu étendue du côté base et varie très peu avec la polarisation du collecteur.

De cela, nous arrivons à un gain de valeur extrêmement basse. Cette nouvelle perspective est d'autant plus cruelle **qu'il s'agit là de la seule façon de fabriquer un transistor PNP sur FDSOI** sans dopage spécifique, en utilisant les seuls dopages définis pour le circuit actif (CMOS). Et à la vue d'une valeur de gain aussi basse (autour de 10^{-6}), il paraît très difficile d'obtenir la condition de l'équation 1 à savoir un produit des Béta supérieurs à 1 et ce avec β_{NPN} tout juste supérieur à 1. **Nous pouvons donc conclure en l'état actuel que dans ces conditions l'effet thyristor ne peut avoir lieu sur FDSOI.**

La diode PIN

Pour compléter l'analyse en mode statique, il nous a paru judicieux d'évaluer l'influence quantitative de l'implantation des plans de masse sur la diode PIN, notamment au niveau de la jonction comprise entre l'anode et la gâchette N. La figure 3.44 représente les caractéristiques I-V des diodes PIN des thyristors à plan de masse N et P.

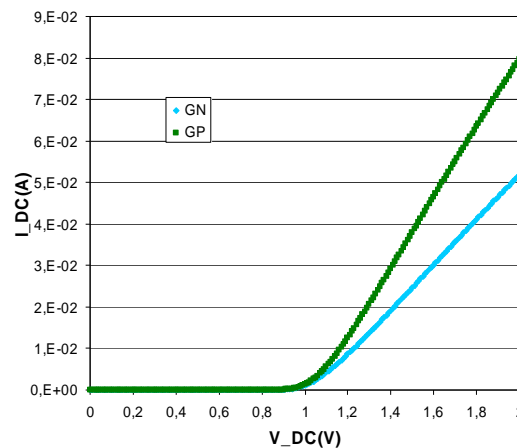


Figure 3. 44. Courbe I-V en mode statique de la diode PIN comprise entre l'anode et la gâchette N

La caractéristique électrique de l'élément est clairement modifiée par la micro fabrication et la nature des plans de masse sous l'oxyde enterrée. Ici, la conductivité de la diode PIN se trouve être dégradée lorsque l'on dope par un plan de masse N : la diode PIN de plan de masse P est plus efficace notamment lorsque l'on dépasse le coude de diode. Ainsi, à

forte injection dans une diode PIN de type N, à même courant d'injection, une différence de potentiel plus importante apparaît entre l'anode et la cathode de la diode.

La différence de caractéristique peut s'expliquer par la résistance série de la diode liée à la zone P intrinsèque dont le dopage augmente légèrement lors de l'implantation du plan de masse P alors qu'il diminue avec le plan de masse N. Les fortes valeurs de résistance série limitant les performances des diodes et des transistors aux fortes valeurs de courant.

La première analyse en mode statique vient de nous révéler que l'effet thyristor ne peut avoir lieu. Nous essayerons d'en avoir la confirmation en testant ces dispositifs sous TLP, et nous déterminerons ainsi dans quelle mesure ces structures peuvent servir de protections ESD et dans quelle stratégie.

2. Mesures en régime dynamique TLP

Les dispositifs précédemment caractérisés en mode statique ont été testés en TLP par des impulsions de 100ns avec temps de montée de 10ns. Les figures 3.45 et 3.46 nous montrent les résultats des tests en deux configurations : un des modes passants et le mode bloqué. Analysons d'abord séparément les résultats de test, la comparaison avec les simulations sera faite dans la partie suivante.

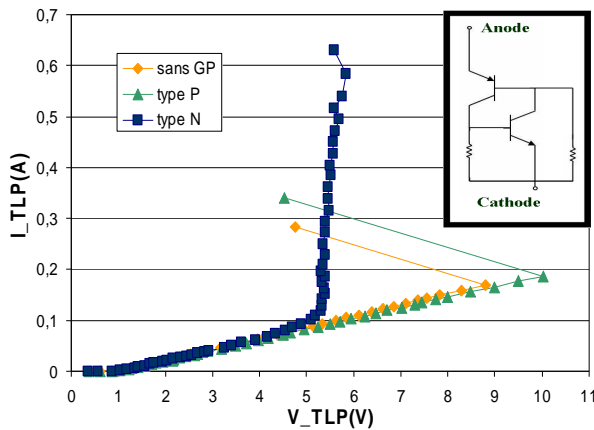


Figure 3. 45. Courbe I-V en mode TLP du thyristor de référence pour différents plans de masse en configuration passante.

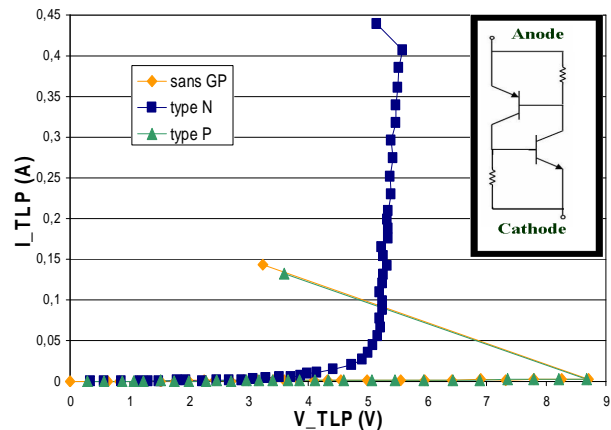


Figure 3. 46. Courbe I-V en mode TLP du thyristor de référence pour différents plans de masse en configuration bloquée.

Dans le mode passant, l'anode est connectée au point haut et les gâchettes N et P et la cathode sont mises à la masse. Ainsi un courant direct traverse la jonction Anode/Gâchette N pour fermer la structure entre l'anode et la cathode.

Cependant, on observe sur les différents dispositifs, certes la diode PIN conduit du courant mais que seul le thyristor de plan de masse N semble se déclencher et faire passer du courant entre l'anode et la cathode. Dans les autres cas, le courant passe uniquement par cette diode jusqu'à la défaillance du contact de gâchette qui sous dimensionné, ne peut supporter un courant trop important [AMER03].

De même pour le cas bloqué où l'anode et la gâchette N sont mises au point haut et la cathode et la gâchette P sont au point bas, nous faisons le même constat : seule la structure à plan de masse N conduit du courant entre l'anode et la cathode, les autres défont dès qu'un appel de courant important se met en place dans la structure. Ainsi l'implantation des plans de masses influencent clairement sur le déclenchement de la structure.

Analysons maintenant la structure qui se déclenche et tachons de comprendre ce qui la fait se fermer. Il est surprenant de voir un changement de régime de conduction alors que nous avons vu dans la partie précédente qu'il n'était pas possible que l'effet thyristor arrivât.

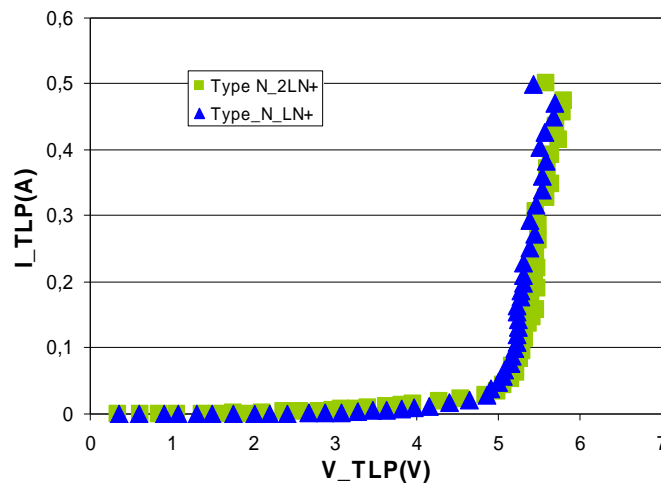


Figure 3. 47. Courbe I-V en mode TLP du thyristor de référence et du thyristor à gâchette N élargie à $2L_{N+}$ en configuration bloquée.

Dans un premier temps, nous pouvons dire que le changement de conductivité n'est pas dû à un effet thyristor mais à la simple mise en conduction du bipolaire NPN. En effet, pour convenir de cela, nous avons comparé en mode TLP ce thyristor avec un autre similaire mais possédant une longueur de gâchette N deux fois plus grande ($2L_{N+} = 0,34\text{nm}$). Le test est présenté figure 3.47.

Nous retrouvons ainsi, en dépit de la différence, la même tension de déclenchement et la même conductivité lorsque le dispositif est fermé. Ainsi, nous pouvons affirmer sans crainte que le bipolaire PNP n'entre pas en compte dans le déclenchement donc ce n'est pas l'effet thyristor qui y est constaté mais bien un effet lié au seul bipolaire NPN.

Comme nous l'avons montré dans [BEN11], la tension de maintien de ce bipolaire, confondue avec la tension de déclenchement est fortement liée à la largeur de sa base (ici L_{PC}). Le champ électrostatique ne permet l'avalanche et donc la fermeture du transistor qu'en atteignant une valeur critique de champ. Supposant la base entièrement désertée, lorsque sa longueur augmente, la tension à fournir pour atteindre cette valeur de champ doit être plus grande. Il en serait de même si un courant de perçage contribuait à la conduction. C'est pour cela que pour une base de 200nm de long d'un bipolaire parasite de NMOS en 45nm FDSOI, nous avons un V_{T1} de 3,35V et que pour le bipolaire considéré ici avec $L_{PC}=510\text{nm}$ nous avons un V_{T1} de 5,2V.

Mais comment ce NPN arrive-t-il à se déclencher en dépit de son faible gain ? L'hypothèse qui a été émise suite à l'observation des figures 3.45, 3.46 et 3.47 ainsi que des parties précédentes est la suivante : l'implantation des dopages des plans de masses ne jouent significativement que sur la diode PIN et plus particulièrement sur la résistivité de la zone P intrinsèque qui est plus importante dans le cas du dopage par plan de masse N. La résistance d'accès de la gâchette P étant plus importante, la base du NPN est moins bien contrôlée. Ceci constituerait une aide au déclenchement et le NPN pourrait passer plus facilement en mode passant.

Pour corroborer cette hypothèse, il nous a semblé intéressant de regarder le cas où la connexion à la masse de la gâchette P est supprimée (c'est à dire une résistance d'accès infinie). C'est pour cela que nous avons décidé de refaire les tests TLP vus précédemment mais cette fois en laissant la gâchette P flottante dans les nouveaux modes passant et bloqué. Les tests sont présentés figure 3.48 et 3.49.

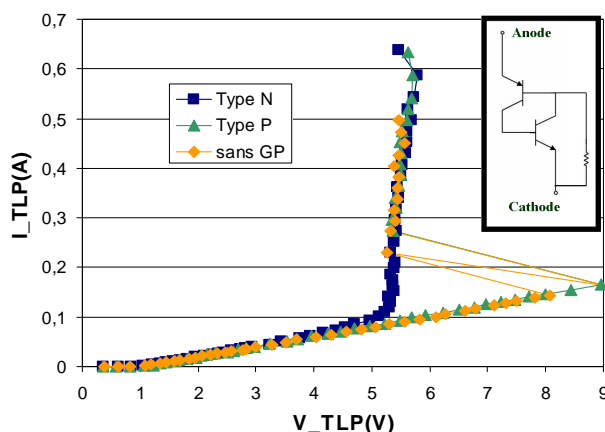


Figure 3. 48. Courbe I-V en mode TLP du thyristor de référence pour différents plans de masse en configuration passant avec gâchette P flottante.

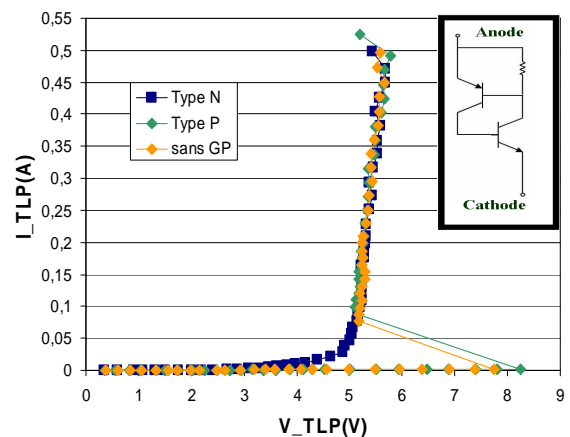


Figure 3. 49. Courbe I-V en mode TLP du thyristor de référence pour différents plans de masse en configuration bloquée avec gâchette P flottante.

Dans la présente situation, tous les bipolaires NPN se déclenchent quel que soit le plan de masse et quel que soit le mode de connexion, passant ou bloqué. Sur ce repliement, nous pouvons noter deux points importants.

Malgré la variation sur le plan de masse, nous obtenons la même tension de maintien V_H , la même conductivité en mode passant et des seuils de robustesse relativement comparables. Ici le dopage de la base joue sur le déclenchement mais pas sur les propriétés passantes.

L'autre point remarquable est la très bonne tenue du dispositif en mode passant. En effet, que ce soit la très bonne conductivité, ou le courant de casse I_{t2} relativement élevé, le dispositif présente tout de même des caractéristiques intéressantes pour la protection contre les décharges électrostatiques. Non seulement il a un courant de fuite très faible (10^{-11} A en mode bloqué) mais lorsqu'il est déclenché, le courant I_{t2} atteint ainsi dans le cas des plans de masse N et P une valeur 0,58A pour une largeur totale des dispositifs de 70 μ m. Ainsi son facteur de mérite I_{t2}/μ m avoisine les 8,5mA/ μ m, ce qui le place loin devant celui d'une diode à grille (5mA/ μ m) en FDSOI 45nm. **Ce « thyristor » constitue, en l'état actuel le dispositif le plus robuste que nous ayons.**

Cependant, cette étude laisse en suspend deux inconnues non éclaircies, faute de temps :

- Quel phénomène physique définit la valeur de la tension de maintien aux environs de 5V ?

- Pourquoi la tension de déclenchement du thyristor à plan de masse N est elle différente des autres, alors que tous les thyristors possèdent la même tension de maintien ?

L'analyse expérimentale du thyristor vient de livrer son verdict : en l'état actuel des choses, la structure thyristor sur technologie FDSOI 28nm de ST ne peut servir de protection contre les décharges électrostatiques pour les applications digitales. Certes avec des tensions aussi élevées, elle peut toujours servir de protection pour les hautes tensions [VAS04] [JEZ11].

L'étude préliminaire sous TCAD ainsi que les tests TLP apportent un lot de questions mais aussi tout un tas d'enseignements et dans cette dernière partie, nous esquisserons une nouvelle stratégie de protections innovantes possibles ainsi que les moyens qu'ils seraient souhaitables pour pouvoir la mettre en œuvre.

3. Perspectives stratégiques

Dans cette dernière partie, nous allons synthétiser les études faites précédemment sur TCAD et sur silicium pour essayer de dégager des solutions afin d'aboutir à une nouvelle façon de protéger les circuits contre les ESD, mais avec une méthode plus adaptée au FDSOI.

Nous venons de voir expérimentalement que d'une part l'effet thyristor n'est pas facilement transposable sur FDSOI, mais que la structure elle, pouvait fonctionner en commutation à l'aide du transistor bipolaire NPN et que les caractéristiques qu'elle montre, sont porteuses d'espoirs.

Ainsi pour prolonger cette démarche et confirmer cette note d'espoir, deux chemins se dévoilent à nous. La première idée est de conserver le principe de fermeture du dispositif avec un transistor NPN. Toutefois du fait des tensions de déclenchement et de maintien relativement élevées, et hormis pour des applications haute tension, le dispositif n'est pas encore prêt à servir de protections pour les cœurs de circuits digitaux.

Pour le rendre compétitif et applicable, plusieurs leviers peuvent être mis en œuvre afin de moduler :

- 1) la tension de maintien qui se trouve en dehors de la fenêtre de conception ;
- 2) la tension de déclenchement qui nous permettrait de nous dégager de la tutelle d'un circuit de déclenchement.

Les différentes options envisageables sont :

- l'utilisation du plan de masse comme électrode de déclenchement,
- l'emploi de la gâchette P comme électrode de commande soit par un circuit de détection externe soit par une tension statique d'ajustement du gain,
- Enfin, la variation de la topologie et des grandeurs géométriques pour faciliter la mise en conduction du bipolaire.

Cependant, cette approche se heurte aux difficultés de compréhension des phénomènes physiques mis en jeu dans la structure et notamment sur les points soulevés à la fin de la partie expérimentale. Toutefois, on peut espérer améliorer la compréhension du fonctionnement, d'une part en s'appuyant sur des mesures complémentaires sur les dispositifs disponibles, et d'autre part sur la simulation TCAD lorsque celle-ci pourra être calibrée et permettra une meilleure représentation de la réalité expérimentale.

L'autre voie intéressante à suivre serait de mettre en œuvre cet effet thyristor par l'emploi des seuls moyens qui nous restent à disposition c'est à dire ceux liés aux procédés de fabrication. Nous venons de voir que si l'effet thyristor est inhibé sur technologie

complètement désertée, la faute en est grandement imputable à l'effondrement du gain du bipolaire PNP et au mauvais fonctionnement du bipolaire NPN. Notamment, un trop fort niveau de dopage de la base du PNP dégrade ses performances de gain.

Une solution simple pour relever le gain du bipolaire serait ainsi entre le N+, le P+ et le P intrinsèque de créer un niveau de dopage intermédiaire, une sorte de N- en symétrie avec le P intrinsèque, afin de se munir de transistor PNP à base faiblement dopée.

De même pour le NPN, on pourrait aussi créer un niveau de dopage spécifique P- au lieu du P intrinsèque et essayer d'utiliser le nouveau dopage N- au niveau du collecteur, car les performances du bipolaire NPN, même si elles sont bien meilleures que le PNP restent à améliorer.

Ainsi avec 4 niveaux de dopage différents, le concepteur de protection ESD disposerait d'une plus grande aisance dans le dessin de structures avec plus d'agencements possibles mais en plus de thyristors robustes et aisément déclenchables comme observés dans les simulations TCAD de la première partie.

Arrêtons-nous un instant pour comprendre pourquoi la TCAD a échoué dans ses prévisions. Nous avons exposé en préambule de notre étude de simulation que les profils faits en avance de phase n'étaient pas calibrés notamment en ce qui concerne la fuite des structures lorsqu'elles sont en mode bloqué.

En effet, nos simulations affichaient des valeurs proches de 10^{-5} A alors que dans les dispositifs précédemment abordés (comme sur le nœud 45nm FDSOI), le courant de fuite était plutôt de l'ordre de 10^{-11} A et au final, les thyristors testés présentaient des courants de fuite de valeurs très proches.

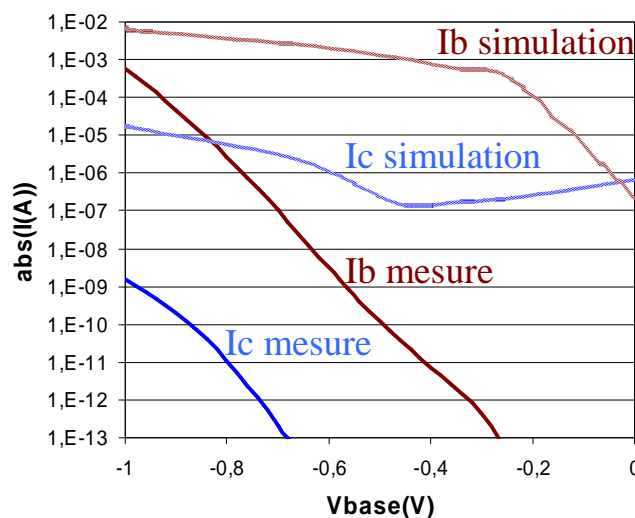


Figure 3. 50. Comparaison des courants de collecteur et de base du PNP en valeur absolue en fonction de la tension de base dans le cas réel et dans le cas simulé.

Le gain du transistor PNP déduit de la figure 3.50 est alors beaucoup plus élevé (environ 10^{-3} en simulation au lieu de 10^{-6} en réalité) et l'illusion d'un déclenchement peut alors nous tromper. Mais dès que des plaques de silicium furent fabriquées, les mesures nous ramenèrent vite à la réalité.

Autre écart entre la réalité et le dispositif reconstruit par simulation : le niveau de dopage du P intrinsèque. En effet, la simulation prend $2.10^{15} \text{ cm}^{-3}$ de dopage sur les 20nm d'épaisseur du film de silicium *après épitaxie*. Mais cette valeur correspond-elle à la réalité ? Car, le fournisseur de plaques de FDSOI nous assure ce niveau de dopage sur le film de silicium *avant épitaxie* sans prise en compte du silicium qui sera ensuite déposé pour atteindre les 20nm d'épaisseur qui, lui n'est pas dopé. Nous avons donc en réalité, une superposition de deux couches de silicium l'une dopée à $2.10^{15} \text{ cm}^{-3}$, l'autre non dopée et dont la composition nous est inconnue du fait des phénomènes de diffusion (il est à noter que l'ajout d'un niveau P- réglerait en plus ce problème).

Ces questions nous enseignent toute la difficulté de manier des simulations : elles peuvent certes nous induire facilement en erreur, mais nous tenons à rappeler **qu'elles restent un formidable outil d'investigation, de déduction et surtout de création.**

Mais dès lors qu'au niveau micro-fabrication un correctif est fait sur les niveaux de dopages des bases des bipolaires, l'analyse du thyristor classique que nous avons faite précédemment, pourrait ainsi être réutilisée afin de profiter au mieux de son atout principal: la modularité de son V_T . Nous pourrions alors l'associer à une autre idée intéressante évoquée dans le chapitre 2 : la dissipation thermique améliorée du triac.

En effet, le triac que nous avons vu chapitre II est composé de deux thyristors PNPN tête bêche. Ce dispositif suit de façon similaire le processus de déclenchement du thyristor. Ainsi son V_T est directement dépendant des grandeurs géométriques (longueur de doigt, de gâchettes, ...). Ainsi nous disposerions sur la technologie FDSOI d'une structure à la fois auto déclenchable et d'une excellente robustesse. On pourrait sans problème en faire la clef de voute d'une stratégie de protection spécialement dédiée au FDSOI.

L'intérêt de disposer de structures auto déclenchées est montré figure 3.51 pour le cas d'une application visant à assurer la protection d'un niveau de tension destiné au cœur du circuit, le VDDCORE. En fait, dans le cas d'alimentation du cœur du circuit par une tension VDD, dans l'Entrée/Sortie, on installe un VDDCORE pour protéger le rail VDD de cœur du circuit par rapport au GND. En silicium massif, un circuit de déclenchement avec un triac peut être utilisé pour protéger efficacement le cœur du circuit sans court-circuit [BOU11]. On

voit sur l'image de la figure 3.51 que ce circuit occupe presque la moitié de la surface de la protection.

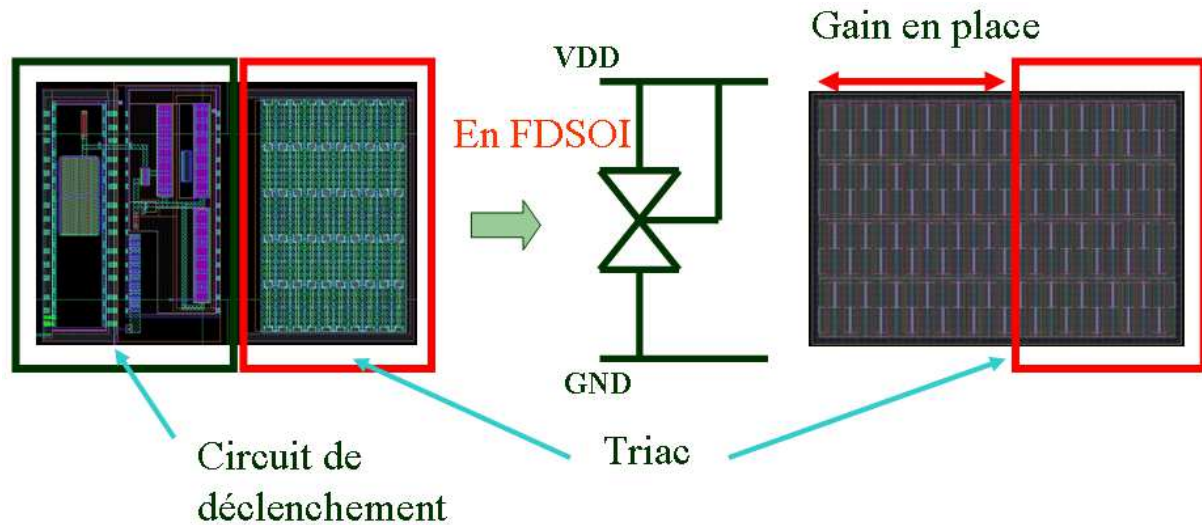


Figure 3. 51. Présentation de la stratégie de triac auto-déclenché appliquée au cas du VDDCORE.

Ce que nous proposons en technologie silicium sur isolant complètement déserté, est de supprimer le circuit de déclenchement et d'utiliser la place libre pour agrandir le triac. Supposant que son V_{T1} soit facilement ajustable, nous utiliserions cette propriété pour le fermer suivant le gabarit imposé par la fenêtre de conception. Des lors, il n'y aurait ni court-circuit ni déclenchement des bipolaires parasites, et l'excédent de surface obtenue par suppression du circuit de déclenchement servirait à compenser la moindre robustesse de la structure sur SOI en comparaison de celle sur silicium massif.

Au final, nous contournerions par cette stratégie les deux principales limitations dégagées au chapitre II à l'intégration de protections ESD sur FDSOI : la dissipation thermique et la réduction de la fenêtre de conception.

Conclusion

Pour résumer notre propos sur cette partie, nous pouvons dire que nous avons essayé à l'aide d'outils de développement classiques de proposer une nouvelle stratégie de protection à base de thyristors conçus sur le film mince. En avance de phase sur la micro et nano fabrication et la feuille de route du nœud technologique 28nm, nous avons simulé le pendant de la structure thyristor sur silicium massif, mais sur FDSOI. Les tendances obtenues semblent indiquer un changement de la physique du déclenchement de la structure : le

thyristor obtenu ne se fermant plus par effet d'avalanche, avait donc une tension de déclenchement plus sensible à la géométrie du dispositif.

Cependant, les mesures ont révélé les fortes limites de la simulation TCAD sur cette technologie, notamment pour des investigations en avance de phase. En effet, la simulation s'est montrée incapable de prévoir l'ampleur de l'écroulement du gain du PNP et donc l'impossibilité de mettre en œuvre l'effet SCR sur SOI complètement déserté. En revanche, on a pu voir que le bipolaire NPN pouvait tout à fait être utilisé en commutation et qu'au final la structure testée se révélait être essentiellement un bipolaire à base flottante en série avec une diode PIN.

De plus, la robustesse du SCR étant relativement bonne pour un dispositif sur film mince, il serait fortement intéressant d'employer la structure de protection, notamment dans une stratégie de dispositifs auto déclenchés. Pour cela, deux voies sont proposées : soit garder la structure en l'état mais jouer sur sa topologie pour avoir la bonne tension de déclenchement. L'autre possibilité est de ne pas renoncer au thyristor et de dédier un masque pour disposer d'un faible dopage de base N pour le bipolaire PNP et un autre masque, pour améliorer le gain du transistor NPN.

Malheureusement, cette thèse touche à sa fin et il est temps de conclure. Mais ces perspectives n'en restent pas moins pertinentes et devront attendre pour voir le jour.

Conclusion Générale

A mesure que les nœuds technologiques défilent et que de nouvelles technologies plus fragiles sont introduites comme le SOI, la protection contre les décharges électrostatiques devient un enjeu majeur de la recherche et développement et de l'innovation. Dans ce présent manuscrit, nous avons compilé et résumé le travail de trois années de thèse passées au sein de STMicroelectronics, du CEA et de l'IMEP, et basé sur nos investigations sur les nœuds 65nm PDSOI et sur les nœuds 45nm et 28nm FDSOI, utilisant pour outil spécifique d'analyse la simulation TCAD 3D et les tests en dynamique TLP.

L'objectif annoncé de ce travail de recherche était double, c'est-à-dire non seulement d'évaluer les caractéristiques principales de la technologie SOI dans l'optique d'une protection contre les ESD mais aussi et surtout de proposer une stratégie innovante de protection adaptée au SOI. Le défi était de composer avec un processus de recherche et développement devenu complexe par la multiplication des applications et rendu encore plus périlleux par l'influence de la crise économique.

Ainsi dès l'état de l'art, nous avons posé la problématique des ESD et de leur influence sur le rendement et les normes mises en place par les industriels (HBM, MM, et CDM) pour pouvoir au mieux rationaliser le problème. Nous avons alors présenté la technologie SOI qu'elle soit partiellement désertée ou complètement désertée que nous avons utilisée ainsi que le principe du réseau de protections et des dispositifs élémentaires existant sur silicium massif dont il est généralement composé. Mais nous avons surtout exposé les grandes lignes de notre méthode d'investigation fondée sur trois piliers : la conception de structures, la simulation 3D TCAD et le test TLP en lien avec la norme HBM.

Ainsi sur ce socle, une première étape a été d'évaluer les stratégies de portage des protections ESD du silicium massif au SOI. Elles sont au nombre de trois : **le portage dit direct ou aveugle** : on réemploie directement les masques créés pour des technologies silicium massif pour des plaques SOI en n'offrant aucun apport de conception ; **le portage quasi-direct**, où comme précédemment, la stratégie silicium massif est reprise dans son ensemble, seuls des ajustements au niveau du dessin des masques ou de la taille des dispositifs sont entrepris pour garder les caractéristiques majeures conformes aux cahiers des charges précédents ; enfin **la refonte totale du réseau** : une perspective adéquate basée sur

ses caractéristiques propres : une nouvelle stratégie est à mettre en place, appuyée par des familles de dispositifs différentes et gérées dans une toute autre organisation. Cette stratégie met en œuvre non seulement les seules étapes de fabrication définies pour le cœur de circuit à protéger mais aussi le cas échéant l'ajout de nouvelles étapes et /ou de masques lorsque cela apporte un avantage décisif aux protections ESD.

Nous sommes partis de la stratégie de portage quasi-direct car des ajustements sont nécessaires du point de vue conception, notamment en ce qui concerne la diode STI ne souffrant pas le passage du silicium massif au SOI. Nous avons jaugé les améliorations sur un cas qui nous a paru intéressant car largement usité dans des stratégies à interrupteur central ou distribué : le MOSSWI, ou MOS commandé. Nous avons constaté par rapport à la technologie silicium massif un gain de place à norme HBM équivalente sur le MOSSWI et donc du grand intérêt du SOI pour l'emploi du MOSSWI nonobstant le problème de la capacité du filtre passe-bas de détection.

En effet, cette dernière voit son efficacité réduite du fait de la disparition du contrôle du potentiel de substrat. Cette absence du contact ohmique diminue la valeur de capacité et obligerait à une significative augmentation de surface. Mais nous avons proposé pour y obvier deux solutions.

Cependant ces bons indicateurs doivent être tempérés par l'étude que nous fîmes en deuxième temps sur la diode à grille et sur les NMOS siliciurés. Nous avons ainsi dégagé deux inconvénients majeurs dans le portage: la chute de robustesse sur les dispositifs de puissance comme les diodes ainsi que la réduction de la fenêtre de conception ESD.

En comparant les différentes technologies par la facette du prisme de la diode à grille, nous pouvons dire que deux facteurs font chuter la robustesse des dispositifs. D'une part, la diminution de la conductivité du fait d'un passage de courant dans un film mince est nettement visible lorsque l'on compare les caractéristiques électriques du FDSOI et du PDSOI. D'autre part, la limitation de la dissipation thermique par le BOX constatée dans le cas statique est aussi valable pour les ESD.

La conséquence est une dégradation de la robustesse comparée au silicium massif par deux pour le SOI partiellement déserté et par trois pour le SOI complètement déserté. Certes, en diminuant l'épaisseur d'oxyde enterré ou carrément en ouvrant le BOX, on peut arriver à développer des protections compétitives. Mais un autre problème vient s'ajouter : la réduction de la fenêtre de conception.

En effet, le déclenchement en tension d'une protection doit se produire au-delà de la tension d'alimentation $V_{DD}+10\%$ pour ne pas court-circuiter les applications en

fonctionnement et en dessous de la tension de destruction des dispositifs à protéger. En testant le cas le plus défavorable, c'est-à-dire le NMOS complètement siliciuré, nous avons pu voir que la tension de déclenchement du bipolaire parasite sur FDSOI était 20% plus basse sur GO1 que sur du silicium massif.

Ces deux constatations viennent poser la nécessité de développement de non seulement de nouveaux dispositifs mais surtout de nouvelles stratégies de protections.

En ce qui concerne les dispositifs, nous avons proposé un exemple de nouvelles structures. En effet, partant d'un thyristor c'est-à-dire l'une des structures commandables les plus robustes que nous ayons, nous améliorâmes notre dispositif en usant de la dissipation thermique latérale afin de palier sa dégradation par le BOX. La structure qui découla de ce choix fut un triac possédant des robustesses supérieures à un thyristor classique et dont le brevet fut déposé.

Dans une troisième étape nous avons cherché à poser les bases d'une nouvelle stratégie spécialement dédiée au FDSOI. En nous appuyant sur la TCAD en trois dimensions, nous avons analysé le fonctionnement du thyristor en mode bloqué, passant et flottant, et la constatation a été faite que le thyristor en mode bloqué disposait d'une tension de déclenchement modulable. Ainsi, la longueur du doigt du thyristor, la résistance d'accès aux gâchettes ou la longueur de la gâchette N agissaient sur cette tension. Ce fait important nous projetait donc dans la perspective d'une stratégie de déclenchement sans circuit auxiliaire de détection.

Un dispositif de test a donc été dessiné sur du silicium 300mm pour le nœud 28nm FDSOI. Malheureusement, l'étude en statique nous montra que l'effet thyristor attendu ne pouvait avoir lieu : les gains des bipolaires qui composent le SCR sont trop faibles surtout le bipolaire PNP car sa base faite à partir du niveau de dopage N⁺ a une concentration en dopants trop élevée.

Ainsi il y a impossibilité d'avoir l'effet thyristor mais nous vîmes quand même le déclenchement du bipolaire NPN avec en plus de bonnes performances de robustesse. Certes la tension de déclenchement est trop élevée pour en faire des protections pour des applications de cœur de type digital mais la possibilité de protéger des applications de type haute tension est envisageable.

Mais nous ne laisserions pas ce travail de thèse en l'état, sans esquisser des solutions pour remédier au problème du déclenchement du thyristor dans le but d'une utilisation en

stratégie pour des protections de cœur basse tension en FDSOI. Nous proposons deux voies possibles.

La première solution règle le problème du gain du bipolaire au niveau de la micro fabrication des dispositifs en suggérant la création d'un niveau intermédiaire N équivalent au P intrinsèque pour disposer d'une base moins dopée pour le transistor PNP.

La deuxième possibilité est d'influencer le déclenchement de la structure en profitant des leviers de commandes que sont le contact face arrière ou la gâchette P.

Pour finir, ce choix de stratégie, volontairement hors des sentiers battus, a été voulu par principe d'innovation et de recherche. Comme nous l'avons déjà dit, les contraintes dans l'industrie de la micro et nano électronique sont fortes, ce qui ne permet pas toujours d'investiguer de nouvelles voies. Certaines parties de cette thèse constituent des sortes de balises en terrain inconnu à l'oblique de l'ornière des itérations habituelles.

Remerciements

Dans le cadre de ce travail de thèse, je tenais à remercier les personnes sans qui ce manuscrit n'aurait pas pu voir le jour.

-Monsieur Philippe Galy, de l'entreprise STMicroelectronics pour m'avoir accueilli au sein de son équipe et de m'avoir enseigné les bases de ce domaine très particulier que sont les ESD. Je le remercie également pour son aide et sa confiance en mon travail.

-Pierre Gentil et Sorin Cristoloveanu, du laboratoire IMEP, directeurs de thèse, pour m'avoir permis de faire cette thèse dans d'excellentes conditions. Je leur suis reconnaissant de m'avoir aidé à faire mes premiers dans le monde enthousiasmant de la recherche en microélectronique.

-Christel Buj, Claire Fenouillet-Beranger et Christine Raynaud, du CEA-LETI. Je ne les remercierai jamais assez pour l'aide, la confiance et la disponibilité qu'elles ont eues à mon égard. Sans elles, mes recherches auraient facilement basculé du côté obscur des technologies silicium, c'est-à-dire le « bulk »....

-Olivier Faynot du CEA-LETI, pour m'avoir accueilli au sein du Laboratoire des Dispositifs innovants.

-Sylvie Retailleau pour avoir accepté d'être la présidente de jury de cette thèse et, à l'origine dans mes jeunes années à l'ENS pour m'avoir communiqué la passion de la microélectronique.

-Olivier Bonnaud et Bruno Allard pour avoir accepté d'être les rapporteurs de cette thèse.

-Pascal Fouillat pour avoir accepté d'être examinateur de cette thèse.

-de l'ensemble de l'équipe ESD ~~qui m'a supporté~~ que j'aie côtoyé pendant trois ans: Jean, Boris, Johan, Tekfouy, Nathalie, Ghislain, Nicolas, Alexandre et Frank. Cette aventure humaine restera pour moi un moment fort de mon parcours et une étape importante dans ma vie.

-mes collègues et amis thésards, adeptes de la transhumance Grenoble-Crolles: Bastien, Jean-Philippe, Dimitri et Julien.

Bibliographie

[ALL69]

J. F. Allison, D. J. Dumion, F. P. Heiman, C. W. Mueller, et P. H. Robinson, *Thin-Film Silicon : Preparation, Properties, and Device Applications*, Proceedings of IEEE, Vol 59 issue 9, pp 1490-1498, septembre 1969.

[AKK11]

I. Ben Akkez, A. Cros, C. Fenouillet-Beranger, P. Perreau, A. Margain, F. Bœuf, F. Balestra, G. Ghibaudo, *Characterization and Modeling of Capacitances in FDSOI Devices*, ULIS, 2011.

[AMER03]

Ajith Amerasekera et Charvaka Duvvury, *ESD in Silicon Integrated Circuits*, Wiley, seconde édition 2003, ISBN 0471 49871 8.

[AMER92]

A. Amerasekera, W. Van den Abeelen, L. J. van Rosendaal, M. Hanneman et P. J. Schofield, *ESD failure modes: characteristics, mechanisms and process influences*, IEEE Transaction on Electronic Devices, volume 39, pp 430-436, 1992.

[BOC92]

S. D. BOCUS, *Test sans Contact des Circuits Intégrés CMOS*, Thèse de doctorat, Institut national des Sciences Appliquées de Lyon, 1992.

[BOU11]

Johan Bourgeat, *Etude du thyristor en technologies CMOS avancées pour implémentation dans des stratégies locales et globales de protection contre les décharges électrostatiques*, Thèse de doctorat, Ecole doctorale de l'université Paul Sabatier Toulouse III, 2011.

[BRU92]

M. Bruel, *process for the production of thin semiconductor material film*, Brevet américain 5374564, CEA, 1992.

[BEN10]

Thomas Benoist, Philippe Galy, Johan Bourgeat, Frank Jezequel, Nicolas Guitard, *Bi-directional Advanced Power Devices Dedicated for ESD protection in Fully and Partially Depleted SOI Technologies*, Brevet, 10-GR1-1156.

[BEN11]

T. Benoist et al, *Experimental Investigation of ESD Design Window for Fully Depleted SOI N-MOSFETs*. INFOS et publié aussi dans microelectronics engineering, Vol 88, pp 1276-1279, 2011.

[CAI03]

Benjamin Caillard, *Le Thyristor Parasite en technologie CMOS : Application à la Protection contre les Décharges Electrostatiques*, Thèse de doctorat, Université Montpellier II, 2003.

[COE95]

Augustin COELLO-VERA, Claude DREVON, *Circuits Hybrides -Conception*, Technique de l'ingénieur, Référence E3925, 10 mars 1995.

[CAO10]

S. Cao, A. Salman, J.-H. Chun, S. Beebe, M. Pellela, R. Dutton, *Field Effect Resistor, a single-device-at-Pad solution for ESD protection in deeply scaled SOI Technology*, SOI conference, pp 1-2, 2010.

[DAB98]

J. Dabral, T. Maloney, *Basic ESD and I/O Design*, John Wiley & sons, 1998, ISBN 0 471 25359 6.

[DUV91]

C. Duvvury, *A synthesis of ESD input protection scheme*, EOS/ESD symposium, pp88-97, 1991.

[ENT05]

Christophe Entringer, Philippe Flatresse, Pascal Salome, Pascal Nouet, Florence Azais, *Physics and design optimization of ESD diode for 0.13 μ m PD-SOI technology*, EOS/ESD Symposium, pp. 53-59, 2005.

[ENT06]

Christophe Entringer, *Conception de Circuits de Protection Contre les Decharges Electrostatiques en Technologies Silicium sur Isolant*, Thèse de doctorat, Université Montpellier II, 2006.

[ENTR06]

Christophe Entringer, Philippe Flatresse, Philippe Galy, Florence Azais, Pascal Nouet, *Partially Depleted SOI Body-Contacted MOSFET Triggered Silicon Controlled Rectifier for ESD Protection*, EOS/ESD Symposium, pp166-171, 2006.

[FEN08]

C.Fenouillet-Beranger S. Denorme, P. Perreau, C. Buj, O. Faynot, F. Andrieu, L. Tosti, S. Barnola, T. Salvetat, X. Garros, M. Casse, F. Allain, N.Loubet, L. Pham-Nguyen, E. Deloffre, M. Gros-Jean, R. Beneyton, C. Laviron, M. Marin, C. Leyris, S. Haendler, F. Leverd, P. Gouraud, P. Sceiblin, L. Clement, R. Pantel, S. Deleonibus, T. Skotnicki, *FDSOI devices with Thin BOX and Ground plane integration for 32nm node and below*, Solid-State Electronics, Vol 53 issue 7, pp 730-734, 2008.

[FEN09]

C.Fenouillet-Beranger, P. Perreau, L. Pham-Nguyen, S. Denorme, F. Andreu, L. Tosti, L. Brevard, O. Weber, S. Barnola, T. Salvetat, X. Garros, M Casse, C. Leroux, J.P. Noel, O. Thomas, B. Le-Gratiet, B. Baron, F. Gatefait, M. Campidelli, Y. Abbate, C. Perrot, C. de-Buttet, R. Beneyton, L. Pinzelli, F. Leverd, P. Gouraud, M. Gros-Jean, A. Bajolet, C. Mezzomo, C. Leyris, S. Haendler; D. Noblet, R. Pantel, A. Margain, C. Borowiak, E. Josse, N. Planes, D. Delprat, F. Boeuf, K. Bourdelle, B.Y. Nguyen O. Faynot, T. Skotnicki, *Hybrid FDSOI/bulk High-k/metal gate platform for low power (LP) multimedia technology*, IEDM, pp667-670, 2009.

[FEN10]

C.Fenouillet-Beranger, O. Thomas, P. Perreau, J-P Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot, C de Buttet, F. Abbate, F. Baron, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, M. Casse, C. Borowiak, O. Weber, F. Andrieu, S. Denorme, F. Boeuf, O. Faynot, T. Skotnicki, K.K Bourdelle, Nguyen B.Y, F. Boedt, *Efficient Multi- V_T FDSOI technology with UTBOX for low power circuit design*, VLSI, pp65-66, 2010.

[GAL07]

Claire Gallon, *Architectures avancées de transistors CMOS SOI pour le nœud 32 nm et en deçà : films ultra-fins, contraintes mécaniques, BOX mince et plan de masse*, Thèse de doctorat, Institut polytechnique de Grenoble, 2007.

[GALY02]

P.Galy, V.Berland, B.Foucher, A.Guilhaume, *Numerical evaluation between Transmission Line Pulse (TLP) and Average Current Slope (ACS) of a submicron gg-nMOS transistor under ElectroStatic Discharge (ESD)*, Workshop EOS/ESD/EMI, pp 15-17,2002.

[GALY08]

Philippe Galy, Christophe Entringer, Alexandre Dray, "SCR and TRIAC isolated with one gate triggering and safe latch-up immunity", Brevet 0855383FR, 12506477US,2008.

[GALY11]

Philippe Galy, Johan Bourgeat, Thomas Benoist, Nicolas Guitard, *ESD protection without trigger circuit, rotation constraint and gate free, V_{t1} and V_{hold} Adjust*, Brevet, 11-GR1-0717.

[GOE05]

Cédric Goëau, *Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS*, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2005.

[ICE10]

Industry Council sur les objectifs de tenue ESD, *White Paper 3: Eliminating Misconceptions in the Design of Robust ESD Systems*, Juin 2010.

[INT11]

http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details_Presentation.pdf, Intel, 4 Mai 2011.

[ISE95]

Integrated Systems Engineering, "ISE TCAD Manuals", Volume 4a, version 8.0, 1995.

[IZU82]

Izumi Katsutoshi, Omura Yasuhisa, Ishikawa Masayuki, Sano Eiichi: *SIMOX Technology for CMOS LSIs*, VLSI Technology , pp 10 – 11, 1982.

[JED07]

JEDEC standard, *Sensitivity testing Human Body Model (HBM)*, JESD22-A114E, 2007.

[JEZ11]

Frank Jezequel, *Thèse sur les protections « haute tension » contre les décharges électrostatiques dans les technologies CMOS avancées*, Thèse de doctorat, Ecole doctorale de l'université Paul Sabatier Toulouse III, 2011.

[KER99]

M.D. Ker, *Whole-Chip ESD Protection with Efficient VDD to VSS ESD Clamp circuits for Submicron CMOS VLSI*, IEEE Transactions On Electron Devices, Vol 46,no. 1, pp 173-183, Janvier 1999.

[KER05]

M.D. Ker, Wen Yi Chen, Kuo-Chun Hsu, *Design on Power-Rail ESD Clamp Circuit for 3.3V I/O Interface by Using only 1V/2.5V Low-Voltage Devices in a 130nm CMOS Process*, International Reliability Physics Symposium, pp 121-128, 2005.

[LEC11]

Julien Le Coz, *Réduction de la consommation statique des circuits intégrés en technologie SOI 65nm partiellement désertée*, Thèse de doctorat, Grenoble INP, 2011.

[LEE00]

J.C Lee, M. A. Hoque, G. D. Croft, J. J. Liou, W. R. Young, et J.C. Bernier, *A Method for determining a Transmission Line Pulse Shape That Produces Equivalent Results to Human Body Model Testing Methods*, EOS/ESD Symposium, pp 97-104, 2000.

[LIL03]

Henri Lilen, *Une (brève) histoire de l'électronique*, édition Vuibert, 2eme édition, ISBN 2711753360, 2003.

[LUM02]

Hubert Lumbroso, *Electrostatique et dynamique des particules chargées*, 4ème édition, ISBN 2 10 005945 9, 2002.

[MAL85]

T.Maloney, N.Khurana, *Transmission Line Pulsing Techniques for Circuit Modeling of ESD phenomena*, EOS/ESD Symposium, pp 49-54, 1985.

[MAR07]

Olivier Marichal, Geert Wybo, Benjamin Van Camp, Pieter Vanysacker, Bart Keppens, *SCR based ESD protection in nanometer SOI technologies*, Microelectronics Reliability, pp1060~1068, 2007.

[MAT05]

Henry Mathieu, *Physique des semi-conducteurs et des composants électroniques*, Dunod, cinquieme édition 2001, ISBN 2 10 005654 9.

[MAZ09]

Jean-Paul Mazellier, *Intérêt du Diamant pour la technologie SOI*, Thèse de doctorat, Institut polytechnique de Grenoble, 2009.

[MAZ10]

Jérôme Mazurier, O.Weber, F.Andrieu, F.Allain, C.Tabone, A.Toffoli, C.Fenouillet-Beranger, L.Brevard, L.Tosti, P.Perreau, M.Belleville, *High Performance and Low Variability Fully-Depleted Strained-SOI MOSFETs*, SOI conference, pp 1-2, 2010.

[MER00]

Markus P.J. Mergens, Wolfgang Wilkening, Gerhard Kieseewetter, Stephan Mettler, Heinrich Wolf, Jürgen Hieber, Wolfgang Fichtner, *ESD-level Circuit Simulation - Impact of Gate RC-Delay on HBM and CDM Behavior*, EOS-ESD symposium, pp430-436, 2000.

[MER05]

Markus Mergens, Olivier Marichal, Steven Thijs, Benjamin Van Camp, Christian C. Russ, *Advanced SCR ESD Protection Circuits for CMOS/SOI Nanotechnologies*, CICC, pp481-488, 2005.

[MIL08]

James Miller, *SPICE-based ESD protection design utilizing diodes and active MOSFET rail clamp circuits*, ESDA tutorial, EOS/ESD Symposium, 2008.

[MOG01]

H. Mogul, A. Marshall, S. Natarajan, *Designing with partially Depleted SOI*, IEEE second workshop DCAS, 2001, pp31-34, 2001.

[RIC00]

C.Richier, P.Salome, G.Mabboux, I.Zaza, A.Juge, P.Mortini, *Investigation on Different ESD Protection Strategies Devoted to 3.3 V RF Applications (2 Ghz) in a 0.18um CMOS Process*, EOS/ESD Symposium, pp 446-455, 2000.

[SAL98]

Pascal Salomé, *Etude des Décharges Electrostatiques dans les Circuits MOS Submicroniques et Optimisation de leurs Protections*, Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 1998.

[SALA05]

Christophe Salamero, *méthode de prédiction du niveau de robustesse d'une structure de protection ESD à l'aide de la simulation TCAD*, Thèse de doctorat, Université Paul Sabatier, Toulouse, 2005.

[SALM06]

A. Salman, S. Beebe, M. Emam, M. Pelella, D. Ioannou, *Field Effect Diode: a novel device for ESD protection in deep sub-micron SOI technologies*, IEDM, pp1-4,2006.

[SCO08]

T. Skotnicki, C. Fenouillet-Beranger, C. Gallon F. Buf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J-P Schoellkopf, E. Perea, R. Ferrant, H. Mingam, *Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia*, IEEE Transactions on Electron Devices, vol 55 issue 1, 2008.

[SEM08]

Oleg Semenov, Hossein Sarbishaei et Manoj Sachdev, *ESD Protection Device and Circuit Design for Advanced CMOS Technologies*, Springer 2008, ISBN 978-1-4020-8300-6, 2008.

[SEN08]

Synopsis SENTAURUS TCAD Tools, version A-2008.

[SOU11]

Dimitri Soussan, Sylvain Majcherczak, Alexandre Valentian, Marc Belleville, *A Low Jitter Active Body-Biasing Control-based Output Buffer in 65nm PD-SOI*, ICICDT, pp1-4, 2011.

[STR01]

Andreas D. Stricker, *Technology Aided Design of ESD Protection*, Hartung-Gore, 2001, ISBN 3 89649 3.

[STRE06]

Ben D. Streetman, Sanjay Banerjee, *Solid State Electronic Devices*, Pearson Prentice Hall, 2006, sixième édition, ISBN 0-13-149726-X.

[TEC11]

Technologies clés 2015, Rapport sur les technologies diffusantes et d'avenirs commandé par le ministère français de l'industrie, 2011, <http://www.tc-2015.fr/>

[TIN05]

C. Tinella, F. Giancesello, D. Gloria, C. Raynaud, P. Delatte, A. Engelstein, J-M Fournier, P. Benech, J. Jomaah, *Partially Depleted CMOS SOI technology for Low Power RF Applications*, GAAS 2005, pp 101-104, 2005.

[TRE04]

David Tremouilles, *Optimisation et modélisation de protections intégrées contre les décharges électrostatiques par l'analyse physique mise en jeu*, Thèse de doctorat, LAAS-CNRS, Université Paul Sabatier, 2004.

[VAL11]

Simulations fournies par Alexandre Valentian, Rapport interne CEA.

[VAS04]

V. Vashchenko, *High holding voltage cascoded LVTSCR structures for 5,5V tolerant ESD protection clamps*, IEEE materials reliability Vol 04, pp 273-280, juin 2004.

[WAN00]

Yu Wang, Patrick Juliano, Sopan Joshi, Elyse Rosenbaum, *Electrothermal Modeling of ESD Diodes in Bulk-Si and SOI Technologies*, EOS-ESD symposium, pp430-436, 2000.

[WEB08]

O. Weber, O. Faynot, F. Andrieu, C. Buj-Dufournet, F. Allain, P. Scheiblin, J. Foucher, N. Daval, D. Lafond, L. Tosti, L. Brevard, O. Rozau, C. Fenouillet-Beranger, M. Marin, F. Boeuf, D. Delprat, K. Bourdelle, B.-Y. Nguyen, S. Deleonibus, *High Immunity to*

Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding, IEDM, p. 245-246, 2008.

[YAM02]

T. Yamane, Naoto Nagai, Shin-ichiro Katayama, Minoru Todoki, *Measurement of thermal conductivity of silicon dioxide thin films using a 3ω method*, Journal of Applied Physics, Vol 91, pp9972-9776, 2002.

Publications

Auteur principal

Experimental study of gated diode as ESD protection in FDSOI High-k/Metal gate 45nm node Technology. **Thomas Benoist**, Claire Fenouillet-Beranger, Philippe Galy, Christel Buj, Olivier Faynot, Pierre Perreau, Blaise Jaquier, Pierre Gentil. International EOS/ESD Workshop (IEW), 2010, Munich (Allemagne).

Improved ESD protection in advanced FDSOI by using hybrid SOI/bulk Co-integration. **T. Benoist**, C. Fenouillet-Beranger, N. Guitard, J.-L. Huguenin, S. Monfray, P. Galy, C. Buj, F. Andrieu, P. Perreau, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, P. Gentil; EOS/ESD Symposium, 2010, Reno (Etats-Unis).

ESD robustness of FDSOI gated diode for ESD network design: Thin or thick BOX? **T. Benoist**, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, P. Gentil; SOI conference, 2010, San Diego (Etats-Unis).

Experimental Investigation of ESD Design Window for Fully Depleted SOI N-MOSFETs. **T. Benoist**, C. Fenouillet-Beranger, P. Perreau, C. Buj, P. Galy, D. Marin-Cudraz, O. Faynot, S. Cristoloveanu, P. Gentil; INFOS et publié aussi dans microelectronics engineering, Vol 88, pp 1276-1279, 2011, Grenoble (France).

Bi-directional Silicon Controlled Rectifier on 65nm PDSOI technology for ESD protection. **Thomas Benoist**, Philippe Galy, Christel Buj, Olivier Faynot, Sorin Cristoloveanu, Pierre Gentil; EuroSOI, 2010, Montpellier (France).

Co-auteur

Planar Fully depleted SOI technology: A powerful architecture for the 20nm node and beyond. O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, **T. Benoist**, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J.-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M.-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brevard, C. Tabone, P. Gaud, S. Barraud, T. Ernst, S. Deleonibus, VLSI, pp3.2.1-3.2.4, 2010.

Hybrid Localized SOI/bulk technology for low power system-on-chip. J.-L. Huguenin, S. Monfray, G. Bidal, S. Denorme, P. Perreau, S. Barnola, M.-P. Samson, C. Arvet, K. Benotmane, N. Loubet, Q. Liu, Y. Campidelli, F. Leverd, F. Abbate, L. Clement, C. Borowiak, A. Cros, A. Bajolet, S. Handler, D. Marin-Cudraz, **T. Benoist**, P. Galy, C. Fenouillet-Beranger, O. Faynot, G. Ghibaudo, F. Boeuf, T. Skotnicki; VLSI Technology, pp59-60, 2010.

Low power UTBOX and back plane (BP) FDSOI technology for 32nm node and below. C. Fenouillet-Beranger, P. Perreau, L. Tosti, O. Thomas, J.-P. Noel, O. Weber, F. Andrieu, M. Casse, X. Garros, **T. Benoist**, S. Haendler, A. Bajolet, F. Beouf, K.K Bourdelle, F. Boedt, O. Faynot; ICICDT, 2011.

Impact of local back biasing on performance in hybrid FDSOI/bulk high-k/Metal gate low Power (LP) technology, C. Fenouillet-Beranger, P. Perreau, **T. Benoist**, C. Richier, S. Haendler, J. Pradelle, J. Bustos, P. Brun, L. Tosti, O. Weber, F. Andrieu, B. Orlando D. Pelissier-Tanon, F. Abbate C. Richard, R. Beneyton, M. Gregoire, J. Ducote, P. Gouraud, A. Margain, C. Borowiak, R. Bianchini, N. Planes, E. Gourvest, K. Bourdelle, B. Y. Nguyen, T. Poiroux, T. Skotnicki, O. Faynot, F. Boeuf. ULIS, pp207-210, 2012

ESD design challenges in 28nm Hybrid FDSOI/Bulk advanced CMOS process, A. Dray, N. Guitard, P. Fonteneau, D. Golanski, C. Fenouillet-Beranger, H. Beckrich, R. Sithanandam, **T. Benoist**, C-A. Legrand, Ph. Galy, EOS/ESD Symposium, 2012, accepté.

Brevets

Bi-directional Advanced Power Devices Dedicated for ESD protection in Fully and Partially Depleted SOI Technologies, **Thomas Benoist**, Philippe Galy, Johan Bourgeat, Frank Jezequel, Nicolas Guitard, 10-GR1-1156.

ESD protection without trigger circuit, rotation constraint and gate free, V_{t1} and V_{hold} Adjust, Philippe Galy Johan Bourgeat, **Thomas Benoist**, Nicolas Guitard, 11-GR1-0717.